

STF16360EN

静态 VFD 驱动电路

概述

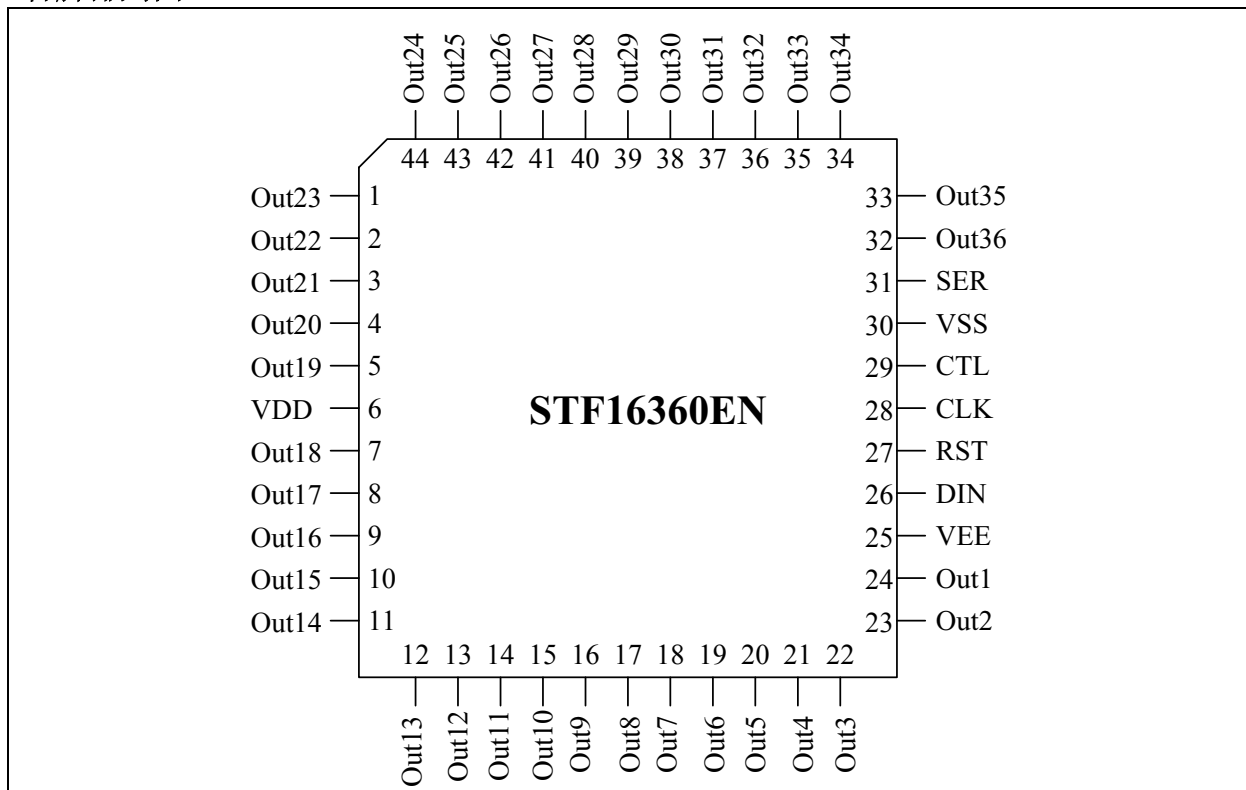
STF16360EN是一种静态 VFD 驱动电路，带有 36 位高压驱动端口，可直接驱动静态 VFD。该电路由一个 36 位串入并出/串入串出移位寄存器、一个 36 位数据控制驱动器两部分组成。带有级联端口，使用时很灵活，根据用户的实际需要，CPU 编程控制非常方便，是 CPU 与静态 VFD 之间的非常理想的元件。

移位寄存器接收串行输入数据，输出串行数据，并提供送往控制驱动模块的并行数据。移位寄存器有独立的时钟输入端，可通过复位信号对移位寄存器进行复位。

功能特点

- 电路采用三电源供电（+5V）、GND（0V）、Vee（-30V）。
- 高压驱动端口采用带有高压结构的开漏 PMOS 管输出，并带有下拉电阻，可直接驱动静态 VFD。
- 有很好的 CPU 接口，如 Din、Ctl、Reset。
- 带有串行输出端口，串行输出电流大，可以根据需要采用级联。
- 封装形式：QFP44。

管脚排列图

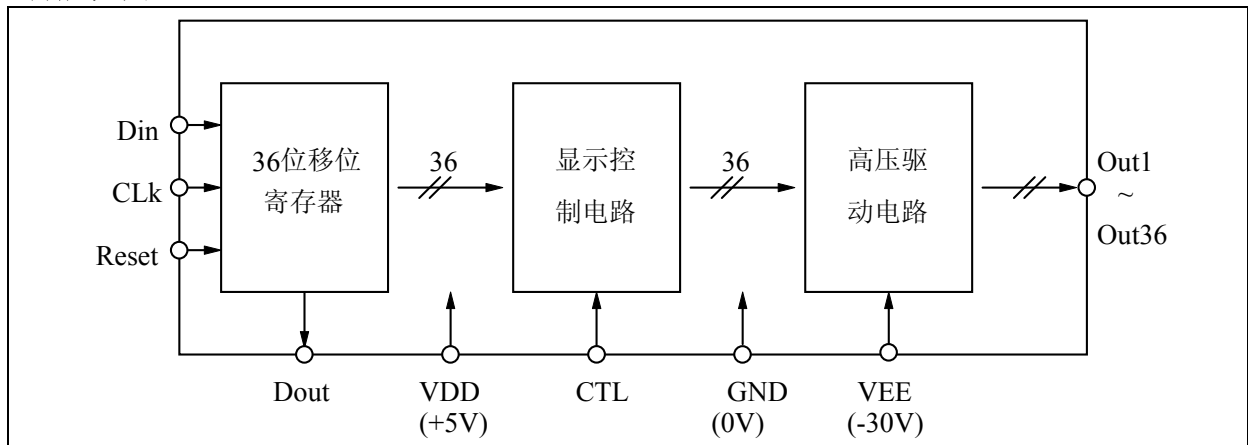


STF16360

管脚说明

管脚号	符号	管脚名	I/O	描述
28	CLk	输入时钟	I	下降沿时输入串行数据,上升沿时输出串行数据
26	Din	串行数据输入端	I	时钟下降沿时输入串行数据
29	CTL(En)	数据输出控制端	I	低电平有效,允许并行数据输出。低电平宽度不超过一个时钟周期,其下降沿要在时钟上升沿之后,上升沿要在时钟下降沿之前。使用中通过控制 En 有效信号输入时间及扩展使用来实现多种并行输出。
32-44 1-5 7-24	Out36-Out1	并行数据输出	O	在 CTL为低电压时,并行数据输出
6	VDD	逻辑电源		5V
25	VEE	VFD 驱动高压	I	电压值可达-30V
31	Dout	串行数据输出	O	时钟上升沿时输出串行数据
27	Reset	清零信号	I	内接上拉电阻,低电平有效
30	GND	逻辑地		与系统地相连

功能框图



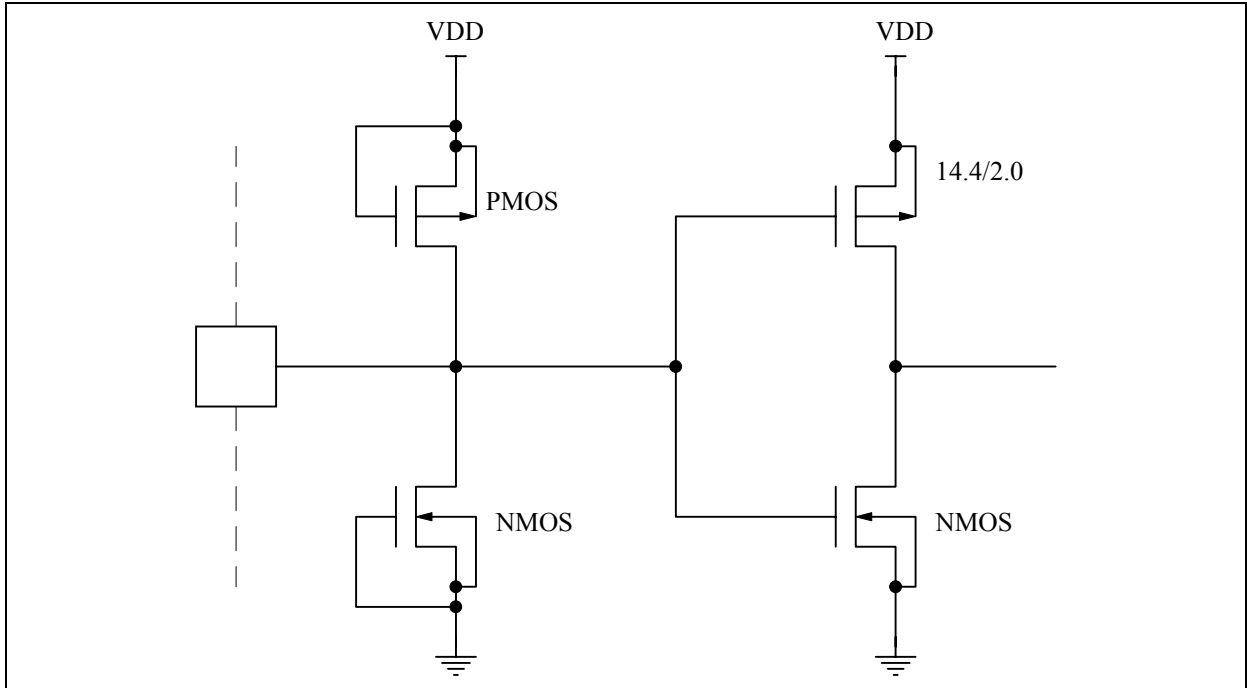
功能说明

系统工作时,STF16360的复位功能可以通过多种形式完成;通过 CPU 直接从 Reset 端口加入复位信号;也可在 Reset 端口与 GND 之间外接一个 20pF 的电容完成上电复位功能;也可通过 Din 端口采用加零办法完成复位。

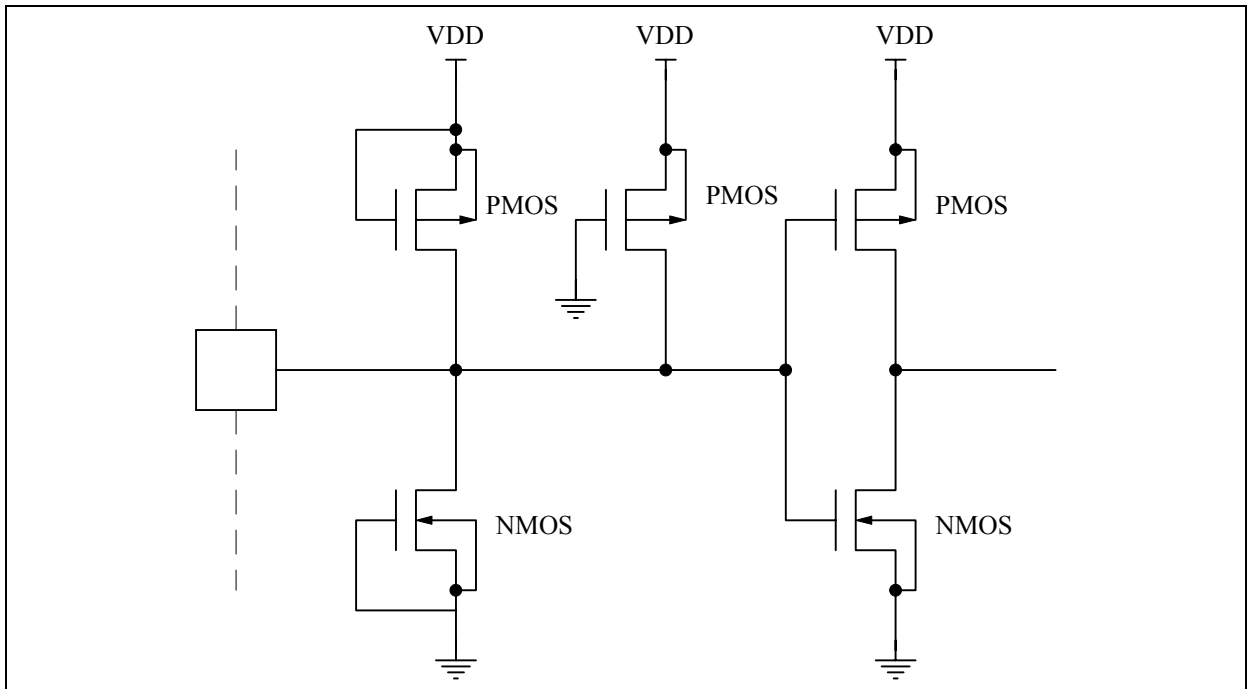
STF16360共有两种模式:数据传输模式、显示驱动模式。工作中,两种模式交替进行。在数据传输模式中,串行数据 Din 在时钟 CLk 控制下移位进入STF16360 并锁存,此时使能信号 En要设为高电平。显示驱动模式中,En设为低电平,移位寄存器中的数据通过高压驱动模块直接输出,驱动 VFD,此时时钟信号要保持不变。串行输出端口 Dout 只受 CLk 控制 不受 En的控制。工作中可通过 CPU 对En与 CLk 之间时序的控制来选择芯片级联数、高压驱动端口数。

I/O 端口结构

1、输入端口: Din、Clk CTL

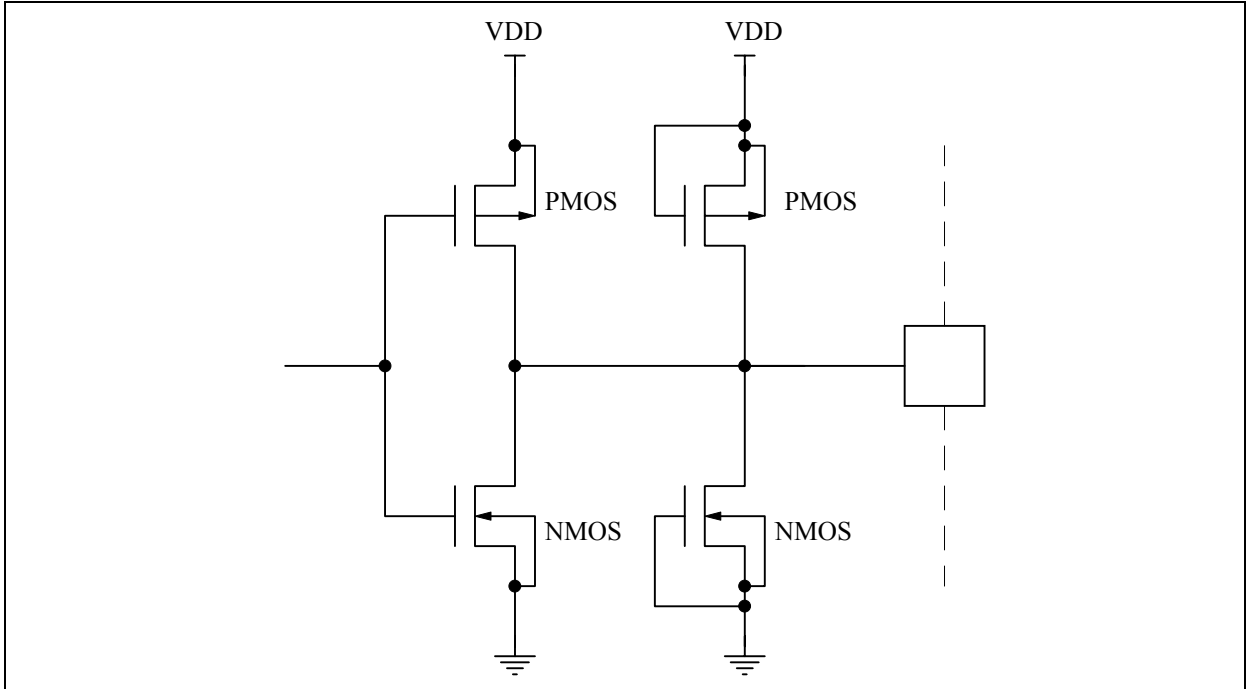


2、输入端口: Reset

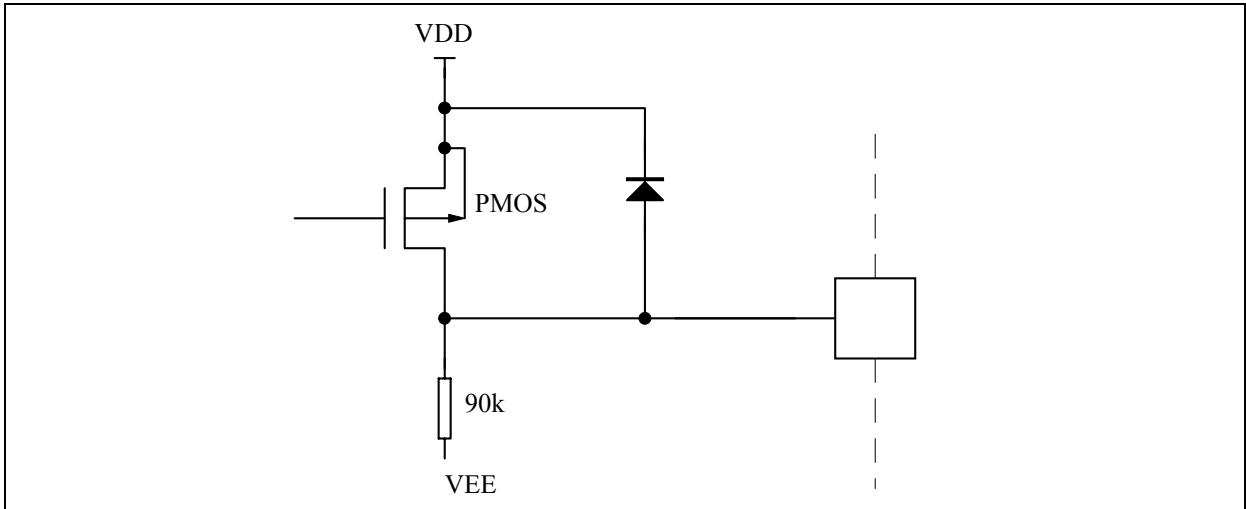


STF16360

3、输出端口: Dout

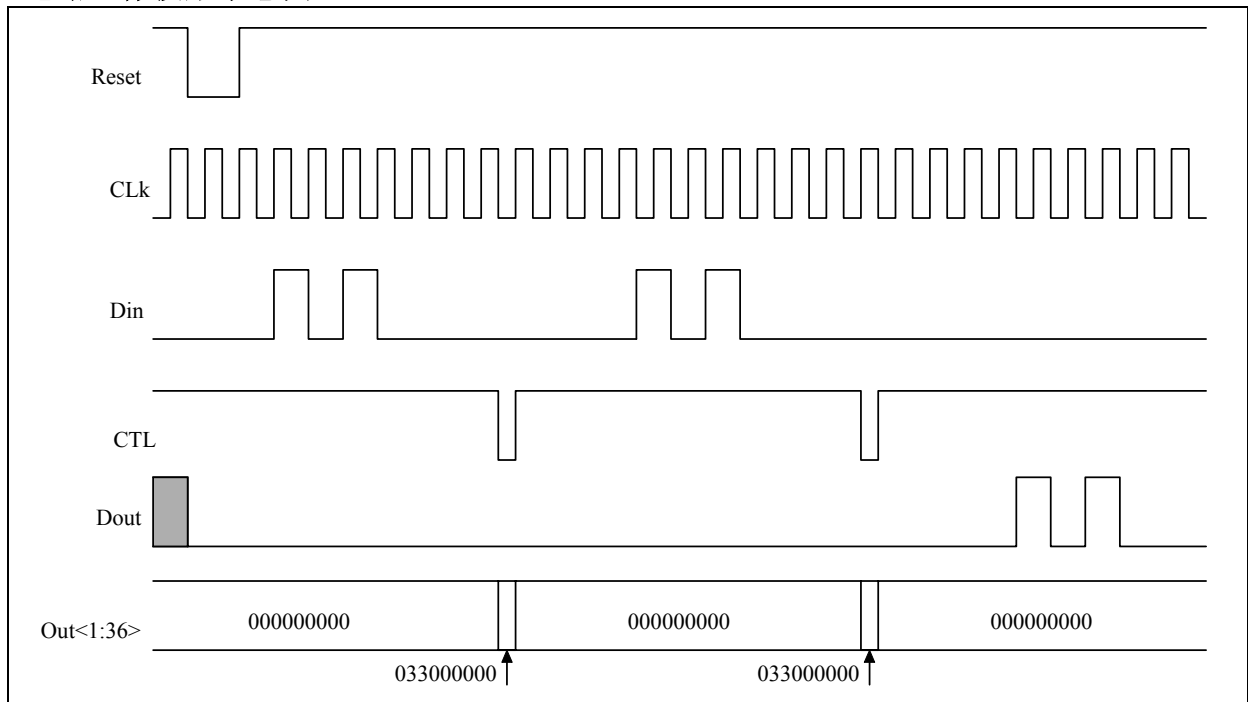


4、输出端口: Out1~Out36



STF16360

电路工作波形示意图



说明:

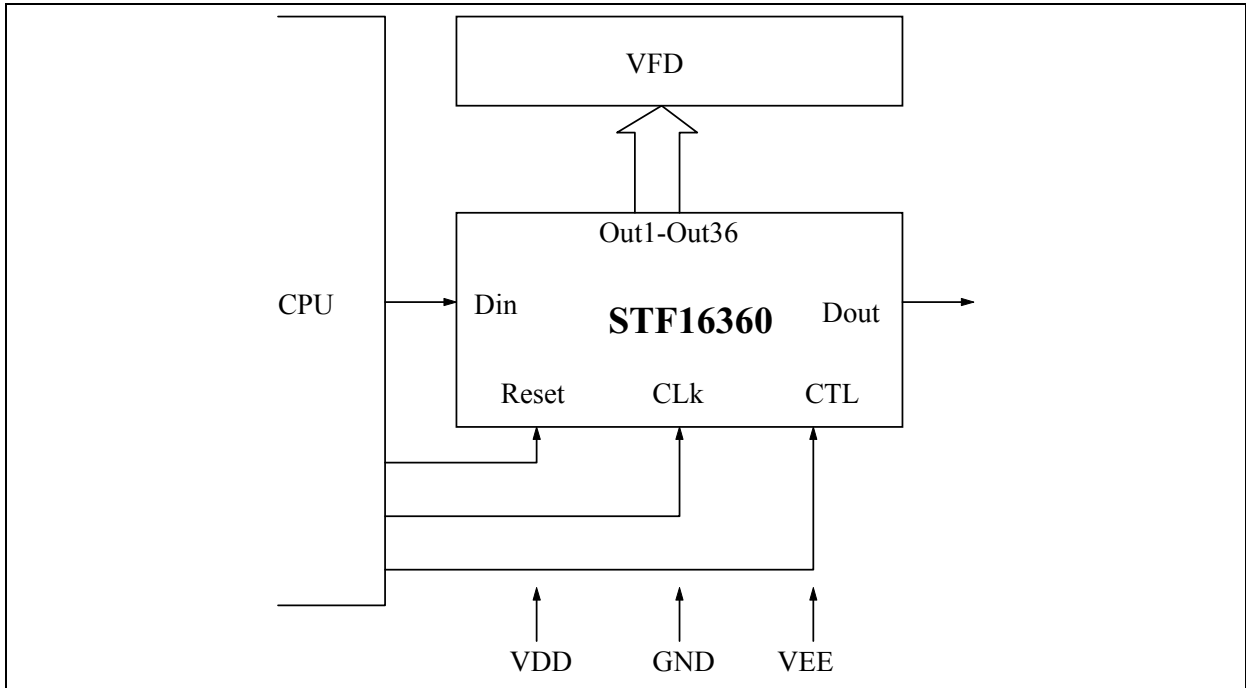
该波形示意图内的 Out<1:36>的低电平为高压输出低电平。其余的高、低电平分别为逻辑高、低电平。

电参数 (除非特别说明, $T_a=25^\circ\text{C}$)

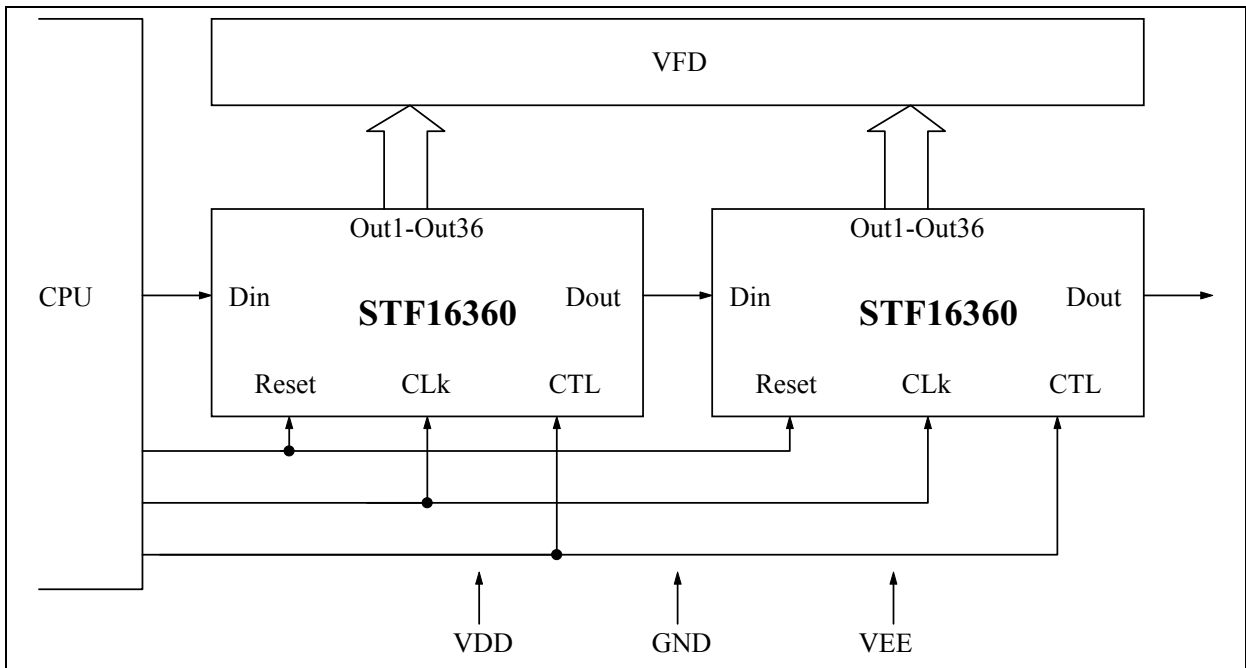
参数	符号	最小值	典型值	最大值	单位	说明
工作电压	V_{DD}	4.5	5	5.5	V	
高电平输入电压	V_{IH}	$0.7V_{DD}$		V_{DD}	V	
低电平输入电压	V_{IL}	0		$0.3V_{DD}$	V	
驱动电源电压	Vee	0		$V_{DD}-35$	V	
高压驱动端口 高电平输出电流	I_{oh}	-3			mA	$V_o=V_{DD}-2V$
高压驱动端口 输出下拉电阻	Rl	50	90	150	k Ω	驱动器输出
驱动漏电流	I_{oleak}			-10	μA	$V_o=V_{DD}-35V$ 驱动器关闭
静态电流消耗	I_{DDdyn}			1	mA	无负载, 无显示
工作温度	T_{opt}	-20		+70	$^\circ\text{C}$	
存储温度	T_{st}	-65		+150	$^\circ\text{C}$	

STF16360

典型应用线路图



单独使用时示意图



级联使用时示意图

STF16360

封装示意图

