



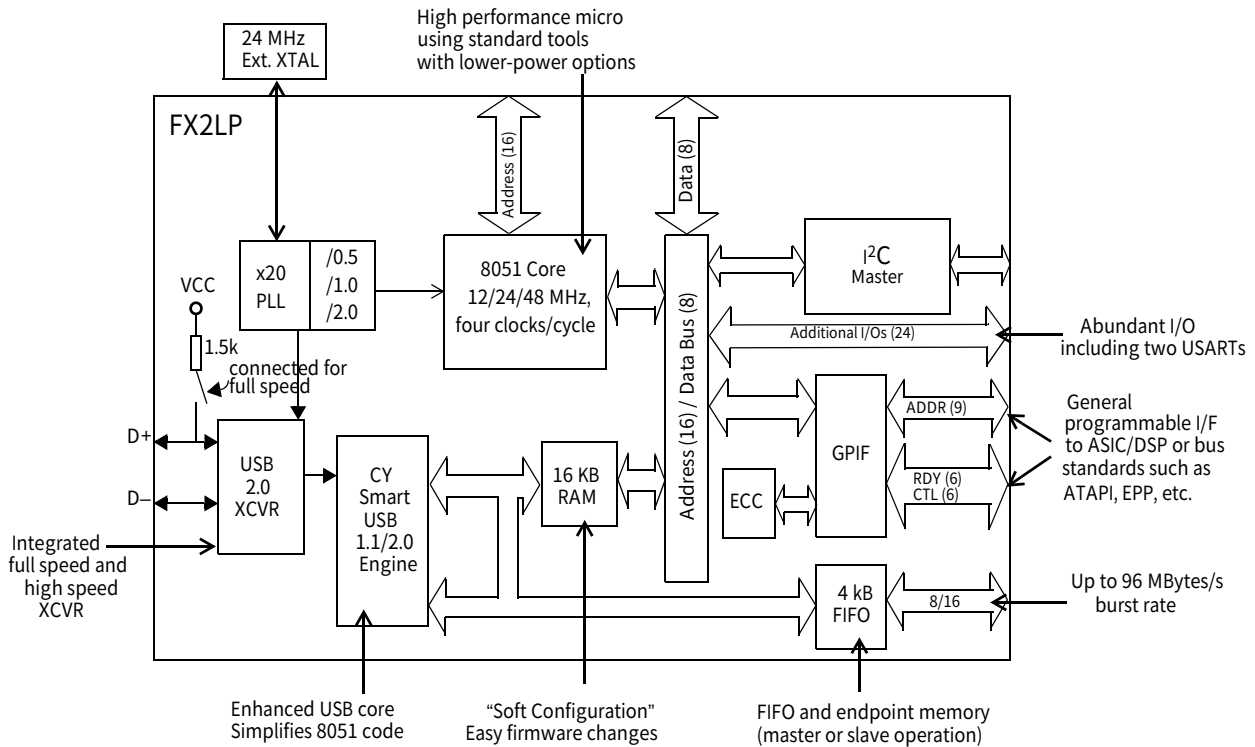
**CY7C68013A、CY7C68014A
CY7C68015A、CY7C68016A**

EZ-USB FX2LP™ USB マイクロコントローラ 高速 USB 周辺コントローラ

特長 (CY7C68013A / 14A / 15A / 16A)

- USB 2.0 USB IF 高速認証 (TID # 40460272)
- 単一チップ内蔵 USB 2.0 トランシーバ、スマート SIE、強化された 8051 マイクロプロセッサ
- FX2 との互換性 (外形形状、構造、機能)
 - ピンの互換性
 - オブジェクトコードの互換性
 - 機能上の互換性 (FX2LP はスーパーセット)
- 超低電力: I_{CC} あらゆるモードで 85 mA 未満
 - バスおよび電池式アプリケーションに最適
- ソフトウェア: 8051 コードの実行元:
 - 内部 RAM - USB からダウンロード
 - 内部 RAM - EEPROM からダウンロード
 - 外部メモリ デバイス (128 ピン パッケージ)
- 16 KB のオンチップ コード/データ RAM
- 4 つのプログラマブルな BULK、INTERRUPT、ISOCRONOUS エンドポイント
 - バッファ オプション: 二重、三重、および四重
- 追加のプログラマブルな 64 バイトの (BULK/INTERRUPT) エンドポイント
- 8 ビットまたは 16 ビットの外部データ インタフェース
- スマート メディア標準の ECC 生成
- GPIF (General Programmable Interface)
 - ほとんどのパラレル インタフェースに直接接続可能
 - プログラマブルな波形ディスクリプタおよびコンフィギュレーションレジスタで波形を定義
 - 複数の Ready (RDY) 入力と Control (CTL) 出力に対応
- 統合された業界標準の拡張 8051
 - 48 MHz、24 MHz、または 12 MHz CPU の動作
 - 命令サイクルごとに 4 クロック
 - 2 個の USART
 - 3 つのカウンタ/タイマ
 - 拡張割り込みシステム
 - 2 個のデータ ポインタ
- 3.3V の動作/5V の I/O トレランス
- ベクトル化された USB 割り込みと GPIF/FIFO 割り込み
- CONTROL 転送のセットアップ/データ ポインタの別々のデータ バッファ
- 統合 I²C コントローラ、100 または 400 kHz で動作
- 4 つの統合された FIFO
 - 統合されたグルー ロジックと FIFO のより低いシステム コスト
 - 16 ビット バス間での自動変換
 - マスタまたはスレーブで動作
 - 外部クロックまたは非同期ストローブを使用
 - ASIC および DSP IC への簡単インタフェース
- 民生用と工業用の温度グレードが利用可能 (VFBGA を除くすべてのパッケージ)

ロジックブロック図



特長 (CY7C68013A / 14A のみ)

- CY7C68014A: 電池式アプリケーションに最適
 - サスペンド電流: 100 μ A (typ)
- CY7C68013A: 非電池式アプリケーションに最適
 - サスペンド電流: 300 μ A (typ)
- 最大 40 個の GPIO を持つ 5 種類の鉛フリーのパッケージが利用可能
 - 128 ピン TQFP (40 GPIO)、100 ピン TQFP (40 GPIO)、56 ピン QFN (24 GPIO)、56 ピン SSOP (24 GPIO)、および 56 ピン VFBGA (24 GPIO)

特長 (CY7C68015A / 16A のみ)

- CY7C68016A: 電池式アプリケーションに最適
 - サスペンド電流: 100 μ A (typ)
- CY7C68015A: 非電池式アプリケーションに最適
 - サスペンド電流: 300 μ A (typ)
- 鉛フリー 56 ピン QFN パッケージが利用可能 (26 GPIO)
 - CY7C68013A / 14A よりも GPIO が 2 個多いことで、同じ実装面積でさらに多くの機能を実現

サイプレスの EZ-USB FX2LP™ (CY7C68013A / 14A) は、EZ-USB FX2™ (CY7C68013) の低電力バージョンであり、高度に統合された低電力 USB 2.0 マイクロコントローラです。サイプレスは、USB 2.0 トランシーバ、シリアルインタフェースエンジン (SIE)、拡張 8051 マイクロコン

トローラ、およびプログラマブルな周辺デバイス インタフェースを単一のチップに統合することで、バスパワーで動作する低電力が必要なアプリケーションにおいて、市場導入までの時間が短いコスト効率に優れたソリューションを実現しました。

FX2LP の独創的なアーキテクチャにより、56 VFBGA と同じ小さいパッケージ (5 mm x 5mm) で低コストの 8051 マイクロコントローラを使用することで、1 秒あたり 53 Mbyte を超えるデータ転送率、すなわち USB 2.0 の最大許容帯域幅が実現されています。FX2LP には USB 2.0 トランシーバが内蔵されているため、経済性に優れ、USB 2.0 SIE や外部トランシーバの実装よりも小さい実装面積ですみます。EZ-USB FX2LP 搭載により、サイプレス Smart SIE は、ハードウェアで USB 1.1 および 2.0 プロトコルのほとんどを処理するのでマイクロコントローラをアプリケーション固有の機能に開放して USB の互換性を確認するための開発時間を短縮します。

GPIF (General Programmable Interface) およびマスタ/スレーブ エンドポイント FIFO (8 ビットまたは 16 ビットのデータバス) は、ATA、UTOPIA、EPP、PCMCIA、多くの DSP / プロセッサなどの一般に普及しているインタフェースへの容易で外付け部品なしでのインタフェースを提供します。

FX2LP はオンチップコード/データ RAM が 2 倍である FX2 (CY7C68013) よりも電流引き込みが少なく、56、100、および 128 ピン FX2 と、外形形状、構造、および機能ともに互換性があります。

56VFBGA、56 SSOP、56 QFN、100 TQFP、および 128 TQFP という 5 つのパッケージがこのファミリ用に用意されています。

目次

用途	4	I²C コントローラ	14
機能の概要	4	I ² C ポートのピン	14
USB 信号速度	4	I ² C インタフェース ブート ロード アクセス	14
8051 マイクロプロセッサ	4	I ² C インタフェース 汎用アクセス	14
8051 クロック周波数	4	前世代 EZ-USB FX2 に対応	14
USART	4	CY7C68013A / 14A と CY7C68015A / 16A の違い	14
特殊機能レジスタ	4	ピンの割り当て	15
I ² C バス	4	CY7C68013A / 15A ピンの説明	22
バス	4	レジスタの概要	30
USB のブート方法	5	絶対最大定格	37
ReNumeration	5	動作条件	37
バスパワーで動作するアプリケーション	5	熱特性	37
割り込みシステム	5	DC 特性	38
INT2 割り込み要求とイネーブル レジスタ	5	USB トランシーバ	38
USB 割り込みオートベクトル	5	AC 電気的特性	39
FIFO/GPIF 割り込み (INT4)	6	USB トランシーバ	39
リセットとウェークアップ	7	プログラム メモリ読み取り	39
リセット ピン	7	データ メモリの読み取り	40
ウェークアップ ピン	8	データ メモリの書き込み	41
プログラム/データ RAM	8	PORTC ストローク機能のタイミング	42
サイズ	8	GPIF 同期信号	43
内部コード メモリ、EA = 0	8	スレーブ FIFO 同期読み出し	44
外部コード メモリ、EA = 1	8	スレーブ FIFO 非同期読み出し	45
レジスタ アドレス	10	スレーブ FIFO 同期書き込み	46
エンドポイント RAM	11	スレーブ FIFO 非同期書き込み	47
サイズ	11	スレーブ FIFO 同期パケット終了ストローブ	47
構成	11	スレーブ FIFO 非同期パケット終了ストローブ	48
セットアップ データ バッファ	11	スレーブ FIFO 出力イネーブル	49
エンドポイントのコンフィグレーション		フラグ/データへのスレーブ FIFO アドレス	49
(高速モード)	11	スレーブ FIFO 同期アドレス	49
デフォルトのフル スピード代替設定	12	スレーブ FIFO 非同期アドレス	50
デフォルトの高速代替設定	12	シーケンス図	50
外部 FIFO インタフェース	12	単一およびバースト同期読み出しの例	50
アーキテクチャ	12	単一およびバースト同期書き込み	51
マスタ/スレーブの制御信号	12	単一およびバースト非同期読み出しのシーケンス図	53
GPIF および FIFO クロック速度	13	単一およびバースト非同期書き込みのシーケンス図	54
GPIF	13	オーダ情報	55
6 つの Control Out 信号	13	パッケージ図	56
6 つの Ready IN 信号	13	PCB レイアウトの推奨事項	60
9 つの GPIF Address OUT 信号	13	クアッドフラット リードなし (QFN)	
ロング転送モード	13	パッケージ設計に関する注記	61
ECC 生成 ^[7]	13	改訂履歴	62
ECC の実装	13	セールス、ソリューション、および法律情報	63
USB のアップロードとダウンロード	13	世界中にわたるセールスおよびデザイン サポート	63
オートポインタ アクセス	13	製品	63

1. 用途

- ポータブル ビデオ レコーダ
- MPEG/TV 変換
- DSL モデム
- ATA インタフェース
- メモリ カード リーダ
- 従来の変換デバイス
- カメラ
- スキャナ
- ホーム PNA
- ワイヤレス LAN
- MP3 プレイヤ
- ネットワーク

サイプレス Web サイトの「リファレンス デザイン」セクションには、代表的な USB 2.0 アプリケーション用の追加ツールが記載されています。各リファレンス デザインには、ファームウェア ソース、オブジェクト コード、回路図、およびドキュメントが用意されています。詳細については、www.cypress.com をご覧ください。

2. 機能の概要

2.1 USB 信号速度

FX2LP は、2000 年 4 月 27 日に発行された USB 仕様書改定 2.0 に規定された 3 つの速度のうちの 2 つで動作します。

- フル スピード - 12 Mbps の信号ビット レート
- 高速 - 480 Mbps の信号ビット レート

FX2LP は、1.5 Mbps の低速信号モードはサポートしていません。

2.2 8051 マイクロプロセッサ

FX2LP ファミリーに組み込まれた 8051 マイクロプロセッサは、256 バイトの RAM、拡張割り込みシステム、3 個のタイマ/カウンタ、および 2 個の USART を備えています。

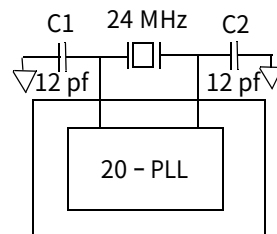
2.2.1 8051 クロック周波数

FX2LP には、以下の特性を持つ 24 MHz (± 100 ppm) の外付けの水晶振動子を使用したオンチップ発振器回路が搭載されています。

- 並列共振
- 基本モード
- 500 μ W 駆動レベル
- 12 pF (5% の許容誤差) 負荷コンデンサ

オンチップ PLL では、トランシーバ/PHY24 の要求に応じて 24 MHz の発振器を 480 MHz まで通倍し、内部カウンタがこれを 8051 クロックとして使用するために分周します。デフォルトの 8051 クロック周波数は 12 MHz です。8051 のクロック周波数は、CPUCS レジスタを介して動的に 8051 で変更できます。

図 2-1. 水晶振動子のコンフィギュレーション



コンデンサの値 12 pF は、4 層 FR4 PCA 上のサイドあたりの 3 pF のトレース容量を想定

CLKOUT ピンは 3 ステートが可能で、内部制御ビットを使用して反転でき、選択された 8051 クロック周波数 (48 MHz、24 MHz、または 12 MHz) で 50% のデューティ比 8051 クロックを出力します。

2.2.2 USART

FX2LP は、特殊機能レジスタ (SFR) ビットを介してアドレス指定される 2 つの標準 8051 USART を含みます。USART インタフェース ピンは、別個の I/O ピンで使用でき、ポート ピンでは多重化されません。

UART0 および UART1 は、ボー レート エラーがわずか 1% である 230 K ボーの内部クロックを使用して動作できます。230 K ボーの動作は、内部で導出されるクロック ソースによって達成されます。このソースは適切な時間にオーバーフロー パルスを生成します。内部クロックは、230 K ボーの動作に対して常に正しい周波数を示すように 8051 クロック速度 (48 MHz、24 MHz、12 MHz) を調整します。^[1]

2.2.3 特殊機能レジスタ

重要な FX2LP 機能への高速アクセスを提供するために、8051 には特定の SFR アドレスが追加されています。これらの追加 SFR を 5 ページの -1 に示します。両方のタイプが非標準の強化された 8051 レジスタを示しています。「0」と「8」で終了する 2 つの SFR ローは、ビットアドレス可能なレジスタを含みます。A から D の 4 つの I/O ポートは、標準 8051 のポート 0 ~ 3 で使用されている SFR アドレスを使用し、これは FX2LP には実装されていません。SFR アドレス指定の迅速化と効率化を図るため、外部 RAM 空間では (MOVX 命令を使用して) FX2LP I/O ポートをアドレス指定できません。

2.3 I²C バス

FX2LP は、100/400 KHz でマスタのみとして I²C バスをサポートしています。SCL ピンと SDA ピンには、オープンドレイン出力とヒステリシス入力があります。これらの信号は I²C デバイスが接続されていない場合であっても 3.3V にプルアップする必要があります。

2.4 バス

すべてのパッケージでの I/O ポート B および D で多重化された、8 ビットまたは 16 ビットの「FIFO」双方向データバス。128 ピンパッケージでは、16 ビットの出力専用の 8051 アドレスバス、8 ビット双方向データバスが追加されています。

注:

1. 115 K ボー動作は、8051 SMOD0 または SMOD1 ビットを UART0 に対して、UART1 に対して、または両方に対して「1」にプログラムすることでも可能です。

表 2-1. 特殊機能レジスタ

x	8x	9x	Ax	Bx	Cx	Dx	Ex	Fx
0	IOA	IOB	IOC	IOD	SCON1	PSW	ACC	B
1	SP	EXIF	INT2CLR	IOE	SBUF1			
2	DPL0	MPAGE	INT4CLR	OEA				
3	DPH0			OEB				
4	DPL1			OEC				
5	DPH1			OED				
6	DPS			OEE				
7	PCON							
8	TCON	SCON0	IE	IP	T2CON	EICON	EIE	EIP
9	TMOD	SBUF0						
A	TL0	AUTOPTRH1	EP2468STAT	EP01STAT	RCAP2L			
B	TL1	AUTOPTRL1	EP24FIFOFLGS	GPIFTRIG	RCAP2H			
C	TH0	予約済み	EP68FIFOFLGS		TL2			
D	TH1	AUTOPTRH2		GPIFSGLDATH	TH2			
E	CKCON	AUTOPTRL2		GPIFSGLDATLX				
F		予約済み	AUTOPTRESET-UP	GPIFSGLDATLNOX				

2.5 USB のブート方法

起動シーケンス中、内部ロジックは EEPROM に接続された I²C ポートをチェックし、最初のバイトが 0xC0 または 0xC2 であることを確認します。見つかった場合、内部で記憶されている値の代わりに EEPROM の VID/PID/DID 値を使用します (0xC0 のとき)。または EEPROM の内容を内部 RAM にブートロードします (0xC2 のとき)。EEPROM が検出されない場合、FX2LP は内部で記憶されているディスクリプタを使用してエニユメレートします。FX2LP のデフォルト ID 値は、VID/PID/DID (0x04B4、0x8613、0xAxxx など。ここで xxx はチップリビジョン) です。^[2]

表 2-2. FX2LP のデフォルト ID 値

デフォルトの VID/PID/DID		
メーカー ID	0x04B4	サイプレス セミコンダクタ
製品 ID	0x8613	EZ-USB FX2LP
デバイス リリース	0xAxxx	チップリビジョンによって異なります (nnn = チップリビジョン。最初のシリコンであれば 001)

2.6 ReNumeration

FX2LP のコンフィグレーションはソフトであるため、1 つのチップが複数の別個の USB デバイスの ID を引き受けることができます。

USB に電源を最初に供給すると、FX2LP は自動的にエニユメレートして、ファームウェアと USB ディスクリプタテーブルを USB ケーブルを介してダウンロードします。次に、ダウンロードされた情報によって定義されているデバイスとして、FX2LP は再びエニユメレートします。この特許化されている 2 段階のプロセスは、ReNumeration™ と呼ばれ、デバイスに電源が供給される直後に実行されるので、初期のダウンロードステップが発生していることをさとられることはありません。

USBCS (USB 制御およびステータス) レジスタの 2 つの制御ビットは、DISCON および RENUM という ReNumeration プロセスを制御します。USB の切断をシミュレートするために、ファームウェアは DISCON を 1 に設定します。再接続するためにファームウェアは DISCON を 0 にクリアします。

再接続前に、ファームウェアは RENUM ビットを設定またはクリアし、ファームウェアとデフォルトの USB デバイスのいずれかがエンドポイントゼロによってデバイス要求を処理するかを示します。RENUM が 0 のときは、デフォルトの USB デバイスがデバイス要求を処理し、RENUM が 1 のときは、ファームウェアが要求を処理します。

2.7 バスパワーで動作するアプリケーション

FX2LP は、USB 2.0 の規格で必要とされる 100 mA 未満のエニユメレートによってバス動作のデザインを完全にサポートしています。

2.8 割り込みシステム

2.8.1 INT2 割り込み要求とイネーブル レジスタ

FX2LP は、INT2 と INT4 向けの自動ベクトル機能を実装しています。27 INT2 (USB) ベクトル、および 14 INT4 (FIFO/GPIF) ベクトルがあります。詳細については、EZ-USB の技術リファレンス マニュアル (TRM) を参照してください。

2.8.2 USB 割り込みオートベクトル

メインの USB 割り込みは、27 個の割り込みソースで共有されています。個々の USB 割り込みソースの特定に必要なコードと処理時間を節約するために、FX2LP にはオートベクトルと呼ばれる第 2 レベルの割り込みベクトルがあります。USB 割り込みがアサートされると、FX2LP はプログラム カウンタをそのスタックにプッシュし、USB 割り込みサービスルーチンへの「ジャンプ」命令の検出が予測されるアドレス 0x0043 にジャンプします。

注:

- ² I²C バス SCL ピンおよび SDA ピンは、EEPROM が接続されていない場合であってもプルアップする必要があります。プルアップしない場合、この検出方法は正常に機能しません。

FX2LP ジャンプ命令は次のようにエンコードされます。

表 2-3. INT2 USB 割り込み

INT2 の USB 割り込みテーブル			
優先順位	INT2VEC 値	ソース	注
1	00	SUDAV	セットアップ データが使用可能
2	04	SOF	フレーム（またはマイクロフレーム）の開始
3	08	SUTOK	セットアップ トークン受信
4	0C	SUSPEND	USB サスペンド要求
5	10	USB RESET	バス リセット
6	14	HISPEED	高速処理に入った状態
7	18	EP0ACK	FX2LP ACK 応答された CONTROL ハンドシェイク
8	1C		予約済み
9	20	EP0-IN	EP0-IN はデータのロード準備が完了
10	24	EP0-OUT	EP0-OUT に USB データあり
11	28	EP1-IN	EP1-IN はデータのロード準備が完了
12	2C	EP1-OUT	EP1-OUT に USB データあり
13	30	EP2	IN: バッファは使用可能。OUT: バッファにデータあり
14	34	EP4	IN: バッファは使用可能。OUT: バッファにデータあり
15	38	EP6	IN: バッファは使用可能。OUT: バッファにデータあり
16	3C	EP8	IN: バッファは使用可能。OUT: バッファにデータあり
17	40	IBN	IN-Bulk-NAK（あらゆる IN エンドポイント）
18	44		予約済み
19	48	EP0PING	EP0 OUT に Ping が発行され、NAK 応答
20	4C	EP1PING	EP1 OUT に Ping が発行され、NAK 応答
21	50	EP2PING	EP2 OUT に Ping が発行され、NAK 応答
22	54	EP4PING	EP4 OUT に Ping が発行され、NAK 応答
23	58	EP6PING	EP6 OUT に Ping が発行され、NAK 応答
24	5C	EP8PING	EP8 OUT に Ping が発行され、NAK 応答
25	60	ERRLIMIT	バス エラーがプログラムされたリミットを超過
26	64		
27	68		予約済み
28	6C		予約済み
29	70	EP2ISOERR	ISO EP2 OUT PID シーケンス エラー
30	74	EP4ISOERR	ISO EP4 OUT PID シーケンス エラー
31	78	EP6ISOERR	ISO EP6 OUT PID シーケンス エラー
32	7C	EP8ISOERR	ISO EP8 OUT PID シーケンス エラー

オートベクトルがイネーブル（INTSET-UP レジスタで AV2EN = 1）である場合、FX2LP はその INT2VEC バイトを代用します。したがって、ジャンプ テーブル アドレスの上位バイト（「ページ」）が位置 0x0044 にプリロードされている場合、0x0045 に自動的に挿入された INT2VEC バイトが、ページ内の 27 個のアドレスから正しいアドレスへのジャンプを指示します。

2.8.3 FIFO/GPIF 割り込み（INT4）

USB 割り込みが 27 個の各 USB 割り込みソース間で共用されているのと同じように、FIFO/GPIF 割り込みは 14 個の各ソース間で共用されます。USB 割り込みと同様に FIFO/GPIF 割り込みはオートベクトルに対応できます。7 ページの [4](#) は 14 個の FIFO/GPIF 割り込みソースに関する優先順位と INT4VEC 値を示しています。

表 2-4. 各 FIFO/GPIF 割り込みソース

優先順位	INT4VEC 値	ソース	注
1	80	EP2PF	エンドポイント 2 プログラマブル フラグ
2	84	EP4PF	エンドポイント 4 プログラマブル フラグ
3	88	EP6PF	エンドポイント 6 プログラマブル フラグ
4	8C	EP8PF	エンドポイント 8 プログラマブル フラグ
5	90	EP2EF	エンドポイント 2 エンプティ フラグ
6	94	EP4EF	エンドポイント 4 エンプティ フラグ
7	98	EP6EF	エンドポイント 6 エンプティ フラグ
8	9C	EP8EF	エンドポイント 8 エンプティ フラグ
9	A0	EP2FF	エンドポイント 2 フル フラグ
10	A4	EP4FF	エンドポイント 4 フル フラグ
11	A8	EP6FF	エンドポイント 6 フル フラグ
12	AC	EP8FF	エンドポイント 8 フル フラグ
13	B0	GPIFDONE	GPIF 動作の完了
14	B4	GPIFWF	GPIF の波形

オートベクトルがイネーブル (INTSET-UP レジスタで AV4EN = 1) である場合、FX2LP はその INT4VEC バイトを代用します。したがって、ジャンプ テーブル アドレスの上位バイト (「ページ」) が位置 0x0054 にプリロードされている場合、0x0055 に自動的に挿入された INT4VEC バイトが、ページ内の 14 個のアドレスから正しいアドレスへのジャンプを指示します。ISR が発生すると、FX2LP はプログラム カウンタをそのスタックにプッシュしアドレス 0x0053 にジャンプします。そこには ISR 割り込みサービス ルーチンへの「ジャンプ」命令が書かれているとしています。

2.9 リセットとウェークアップ

2.9.1 リセット ピン

入力ピン RESET# は、アサート時に FX2LP をリセットします。このピンにはヒステリシスがあり、アクティブ LOW です。CY7C680xxA で水晶振動子が使用されている場合、リセット期間中に水晶振動子と PLL が

安定しなければなりません。このリセット期間は VCC が 3.0V に達してから約 5 ms とします。水晶振動子の入力ピンがクロック信号によって駆動される場合、内部 PLL は VCC が 3.0V に達してから 200 μ s で安定します。^[3]

8 ページの図 2-2 に、パワーオン リセット条件および操作中に適用されるリセットを示します。パワーオン リセットは回路への電源供給中にアサートされる時間リセットとして定義されます。電源供給リセットとは、FX2LP が電源供給されて動作し、RESET# ピンがアサートされる状態です。

サイプレスでは、パワーオン リセットの実装の詳細および推奨に関するアプリケーション ノートを提供しています。FX2 製品ファミリのリセット実装の詳細は、<http://www.cypress.com> を参照してください。

注:

3. 外部クロックが CY7C680xxA と同時に起動され、安定するまで待機時間が必要な場合、その時間を 200 μ s に追加する必要があります。

図 2-2. リセット タイミングのプロット

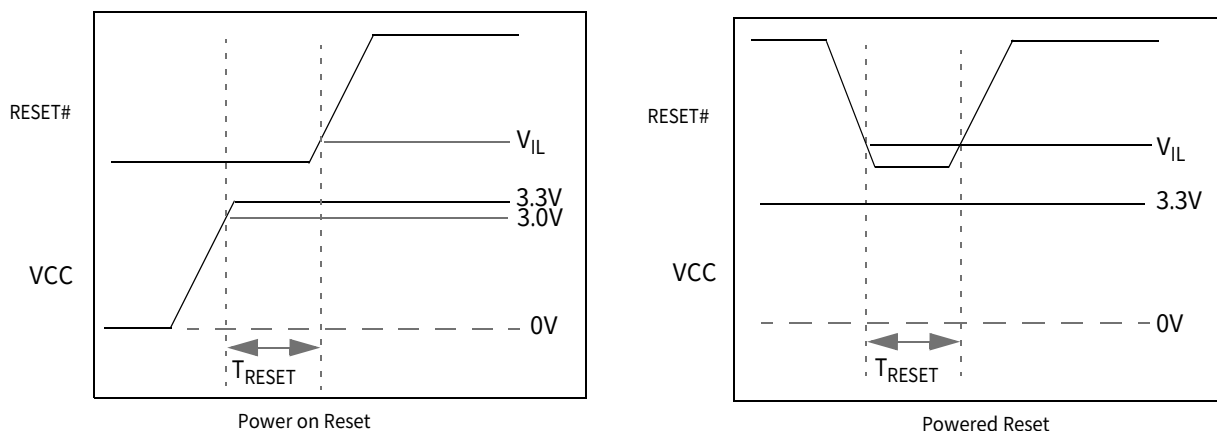


表 2-5. リセット タイミングの値

条件	T_{RESET}
水晶振動子でのパワーオン リセット	5 ms
外部クロックでのパワーオン リセット	200 μ s + クロック安定時間
電源供給リセット	200 μ s

2.9.2 ウェークアップ ピン

8051 は PCON.0 = 1 を設定することで自ら、そして残りのチップをパワーダウン モードにします。これによって発振器と PLL が停止します。WAKEUP が外部ロジックでアサートされると、発振器は PLL が安定した後で再起動し、8051 はウェークアップ割り込みを受け取ります。これは FX2LP が USB に接続されていてもいなくても同様です。

FX2LP は、以下のいずれかの方法で電源遮断（USB サスペンド）状態を終了します。

- USB バス アクティビティ（D+/D- ラインがフローティング状態のままである場合、これらのラインのノイズは FX2LP へのアクティビティを示し、ウェークアップを開始できます）
- 外部ロジックが WAKEUP ピンをアサートする
- 外部ロジックが PA3/WU2 ピンをアサートする

2 番目のウェークアップ ピンである WU2 は、汎用 I/O ピンとして構成することもできます。これによって、単純な外部 R-C ネットワークを周期的なウェークアップ ソースとして使用できます。WAKEUP はデフォルトでアクティブ LOW です。

2.10 プログラム/データ RAM

2.10.1 サイズ

FX2LP には 16 KB の内部プログラム/データ RAM があります。この RAM では、PSEN#/RD# 信号の OR が内部で取られ、8051 がプログラムとデータ メモリの両方としてこの RAM にアクセスできるようにします。この空間に USB 制御レジスタは現れません。

以下の図には 2 つのメモリ マップが示されています。

9 ページの図 2-3 は、内部コード メモリである EA = 0 を示しています。

10 ページの図 2-4 は、外部コード メモリである EA = 1 を示しています。

2.10.2 内部コード メモリ、EA = 0

このモードでは、共有されたコードとデータ メモリとして 16KB ブロックの RAM（0 で開始）が実装されます。外部 RAM または ROM が追加されると、チップのメモリ空間に対するアクセスでは外部の読み取りおよび書き込みストロープが抑制されます。これによって、ユーザは内部メモリ空間と外部を区別するためのアドレス デコードを必要とせずに 64 KB のメモリに接続できます。

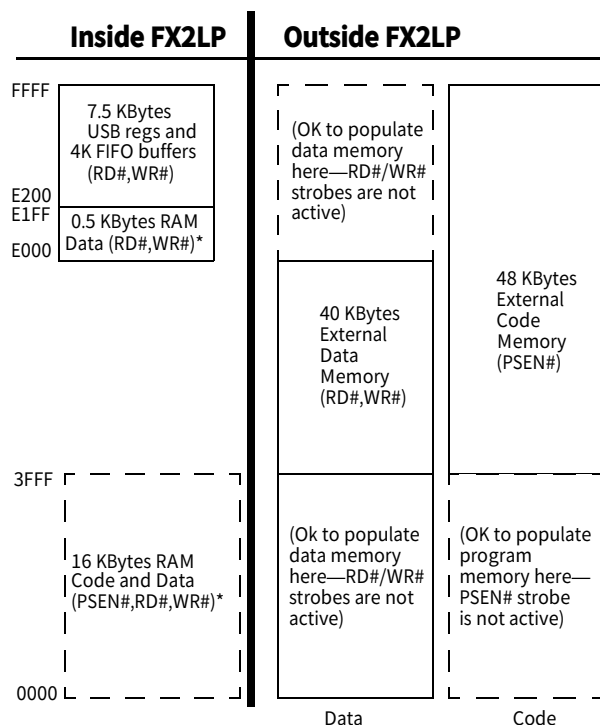
内部の 16 KB およびスクラッチ パッド 0.5 KB RAM 空間のみ以下からのアクセスができます。

- USB のダウンロード
- USB のアップロード
- データ ポインタのセットアップ
- I²C インタフェースのブート ロード

2.10.3 外部コード メモリ、EA = 1

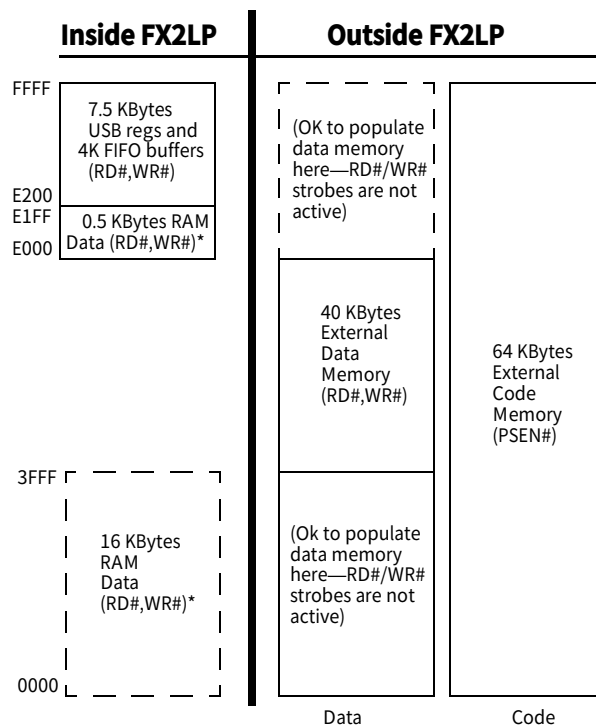
16 KB のプログラム メモリは外部にあります。ですから内部 RAM の下位の 16 KB には、データ メモリとしてのみアクセスできます。

図 2-3. 内部コード メモリ、EA = 0



*SUDPTR, USB upload/download, I²C interface boot access

図 2-4. 外部コード メモリ、EA = 1



*SUDPTR, USB upload/download, I²C interface boot access

2.11 レジスタ アドレス

FFFF	4 KBytes EP2-EP8 buffers (8 x 512)
F000	
EFFF	2 KBytes RESERVED
E800	
E7FF	64 Bytes EP1IN
E7C0	
E7BF	64 Bytes EP1OUT
E780	
E77F	64 Bytes EP0 IN/OUT
E740	
E73F	64 Bytes RESERVED
E700	
E6FF	8051 Addressable Registers (512)
E500	
E4FF	Reserved (128)
E480	
E47F	128 bytes GPIF Waveforms
E400	
E3FF	Reserved (512)
E200	
E1FF	512 bytes 8051 xdata RAM
E000	

2.12 エンドポイント RAM

2.12.1 サイズ

- 3 × 64 バイト (エンドポイント 0 および 1)
- 8 × 512 バイト (エンドポイント 2、4、6、8)

2.12.2 構成

- EP0
- 双方向エンドポイントゼロ、64 バイト バッファ
- EP1IN、EP1OUT
- 64 バイト バッファ、バルクまたは割り込み
- EP2、4、6、8
- 8 個の 512 バイト バッファ、バルク、割り込み、またはアイソクロナス。EP4 および EP8 は二重にバッファリング可能。EP2 および 6 は、いずれも二重、三重、または四重バッファ型にできます。高速エンドポイントのコンフィグレーションオプションについては、[図 2-5](#) を参照してください。

2.12.3 セットアップデータ バッファ

0xE6B8-0xE6BF の別個の 8 バイト バッファは、CONTROL 転送からのセットアップデータを保持します。

2.12.4 エンドポイントのコンフィグレーション (高速モード)

エンドポイント 0 および 1 は、すべてのコンフィグレーションについて同じです。エンドポイント 0 は唯一の CONTROL エンドポイントであり、エンドポイント 1 は BULK と INTERRUPT のいずれにすることもできます。

エンドポイント バッファは、列に示された 12 のコンフィグレーションのいずれか 1 つに構成できます。フル スピード BULK モードで動作する場合、各バッファの最初の 64 バイトのみが使用されます。たとえば、高速では、最大パケット サイズは 512 バイトですが、フル スピードでは 64 バイトです。バッファは 512 バイト バッファにコンフィグレーションされていますが、フル スピードでは、最初の 64 バイトのみが使用されます。未使用のエンドポイント バッファ空き領域は他の処理には使用できません。サンプルのエンドポイント コンフィグレーションは、EP2-1024 二重バッファ型、EP6-512 四重バッファ型(コラム 8)です。

図 2-5. エンドポイントのコンフィグレーション

EP0 IN&OUT	64	64	64	64	64	64	64	64	64	64	64
EP1 IN	64	64	64	64	64	64	64	64	64	64	64
EP1 OUT	64	64	64	64	64	64	64	64	64	64	64
	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2
	512	512	512	512	512	512	1024	1024	1024	512	1024
	512	512	512	512	512	512	1024	1024	1024	512	1024
	EP4	EP4	EP4							EP6	
	512	512	512	512	512	512				512	1024
	512	512	512	512	512	512				512	1024
	EP6	EP6	EP6	EP6	EP6	EP6	EP6	EP6	EP6		
	512	512	1024	512	512	1024	512	512	1024	512	1024
	512	512	1024	512	512	1024	512	512	1024	512	1024
	EP8			EP8			EP8			EP8	
	512	512	1024	512	512	1024	512	512	1024	512	1024
	512	512	1024	512	512	1024	512	512	1024	512	1024
	1	2	3	4	5	6	7	8	9	10	11
											12

2.12.5 デフォルトのフルスピード代替設定

表 2-1. デフォルトのフルスピード代替設定 [4、5]

代替設定	0	1	2	3
ep0	64	64	64	64
ep1out	0	64 バルク	64 int	64 int
ep1in	0	64 バルク	64 int	64 int
ep2	0	64 バルク アウト (2 ×)	64 割り込みアウト (2 ×)	64 アイソクロナス アウト (2 ×)
ep4	0	64 バルク アウト (2 ×)	64 バルク アウト (2 ×)	64 バルク アウト (2 ×)
ep6	0	64 バルク イン (2 ×)	64 割り込みイン (2 ×)	64 アイソクロナス イン (2 ×)
ep8	0	64 バルク イン (2 ×)	64 バルク イン (2 ×)	64 バルク イン (2 ×)

2.12.6 デフォルトの高速代替設定

表 2-2. デフォルトの高速代替設定 [4、5]

代替設定	0	1	2	3
ep0	64	64	64	64
ep1out	0	512 バルク [6]	64 int	64 int
ep1in	0	512 バルク [6]	64 int	64 int
ep2	0	512 バルク アウト (2 ×)	512 割り込みアウト (2 ×)	512 アイソクロナス アウト (2 ×)
ep4	0	512 バルク アウト (2 ×)	512 バルク アウト (2 ×)	512 バルク アウト (2 ×)
ep6	0	512 バルク イン (2 ×)	512 割り込みイン (2 ×)	512 アイソクロナス イン (2 ×)
ep8	0	512 バルク イン (2 ×)	512 バルク イン (2 ×)	512 バルク イン (2 ×)

2.13 外部 FIFO インタフェース

2.13.1 アーキテクチャ

FX2LP スレーブ FIFO アーキテクチャは、エンドポイント RAM に 8 個の 512 バイト ブロックを持ちます。これらは FIFO メモリとして直接機能し、FIFO 制御信号 (IFCLK、SLCS#、SLRD、SLWR、SLOE、PKTEND、フラグなど) によって制御されます。

処理中には、この 8 個の RAM ブロックのうち、SIE から満たされるか空にされるものもあれば、I/O 転送ロジックに接続されるものもあります。転送ロジックは内部で生成される制御信号用の GPIF、および外部で制御される転送用のスレーブ FIFO という 2 つの形式をとります。

2.13.2 マスタ/スレーブの制御信号

FX2LP エンドポイント FIFOS は、物理的に異なった 8 個の 256x16 RAM ブロックとして実装されます。8051/SIE は、USB (SIE) ドメインと 8051-I/O 単位ドメインの 2 つのドメイン間で RAM ブロックをどれでも切り替えることができます。このスイッチングは、「USB FIFOS」と「スレーブ FIFOS」との間に基本的にゼロの転送時間を与えることでほとんど同時に実行されます。これらは物理的には同じメモリであるため、実際にはバイトがバッファ間で転送されることはありません。

どの時点においても、SIE 制御下で USB データによって満たされる/空にされる RAM ブロックもあれば、8051、I/O 制御ユニット、またはその両方で使用できる RAM ブロックもあります。RAM ブロックは USB ドメインでは単一のポートとして動作し、8051-I/O ドメインではデュアルポートとして動作します。前述のとおり、ブロックは、単一バッファ、

二重バッファ、三重バッファ、または四重バッファ型でコンフィグレーションできます。

I/O 制御ユニットは、内部マスタ (マスタについては M) または外部マスタ (スレーブについては S) のいずれかのインタフェースを実装します。

マスタ (M) モードでは、GPIF は FIFO を選択するように内部で FIFOADR[1..0] を制御します。RDY ピン (56 ピンパッケージでは 2 個、100 ピン/128 ピンパッケージでは 6 個) は、外部 FIFO または必要に応じて他のロジックからのフラグ入力として使用できます。GPIF は、内部で派生したクロックから、または外部から供給された (IFCLK) クロックから、最大データ転送率 96 MB/秒 (16 ビットのインタフェースで 48 MHz IFCLK) で実行できます。

スレーブ (S) モードでは、FX2LP は、内部で派生したクロックと外部から供給されたクロック (IFCLK、最大周波数は 48 MHz) のいずれか、および外部ロジックからの SLCS#、SLRD、SLWR、SLOE、PKTEND 信号を受け入れます。外部 IFCLK を使用する場合、外部クロックは IFCLKSRC ビットによって外部クロックに切り替わる前に存在していなければなりません。各エンドポイントは、内部コンフィグレーションによってバイトまたはワード処理に対して個々に選択でき、スレーブ FIFO イネーブル出力信号である SLOE によって選択された幅のデータがイネーブルになります。外部ロジックは、スレーブ FIFO へのデータ書き込み時にイネーブル出力信号が非アクティブになるようにする必要があります。また、スレーブインタフェースは非同期にも動作できます。この場合、同期モードとしてのクロック修飾子ではなく SLRD 信号と SLWR 信号がストロープとして直接動作します。SLRD、SLWR、SLOE、および PKTEND 信号は、SLCS# 信号によってゲートされます。

注:

- 「0」は「実装なし」を意味します。
- 「2 ×」は「二重バッファ型」を意味します。
- これらのバッファは 64 バイトですが USB 2.0 準拠のために 512 バイトとしてレポートされます。ユーザは 64 バイトよりも大きなパケットを EP1 に転送してはなりません。

2.13.3 GPIF および FIFO クロック速度

8051 レジスタ ビットは、内部で提供されるインタフェース クロックに対して 30 MHz と 48 MHz の 2 つの周波数のうちの 1 つを選択します。または、IFCLK ピンに値を入力する、外部から提供される 5 MHz ~ 48 MHz のクロックをインタフェース クロックとして使用できます。GPIF と FIFO が内部で記録される場合は、IFCLK を出力クロックとして機能するようにコンフィグレーションできます。IFCONFIG レジスタの出力イネーブル ビットは、このクロック出力を必要に応じてオフにします。IFCONFIG レジスタ内の別のビットは、IFCLK 信号をその供給が内部か外部かに関係なく反転します。

2.14 GPIF

GPIF は、ユーザによるプログラムが可能な有限のステート マシンによって駆動される、フレキシブルな 8 ビットまたは 16 ビットのパラレル インタフェースです。GPIF は、CY7C68013A / 15A をイネーブルにしてローカル バス マスタリングを実行し、ATA インタフェース、プリンタ パラレル ポート、Utopia などのさまざまなプロトコルを実装できます。

GPIF には、6 つのプログラマブルな Control Output (CTL)、9 つの Address Output (GPIFADRx)、および 6 つの汎用 Ready Input (RDY) があります。データ バスの幅は 8 ビットまたは 16 ビットにできます。各 GPIF ベクトルは、Control Output の状態を定義し、進める前に、Ready Input (または複数の入力) がどのような状態にならないかを決定します。GPIF ベクトルをプログラムして、FIFO を次のデータ値に進ませる、またはアドレスを進ませるといったことができます。GPIF ベクトルのシーケンスは、単一の波形を生成し、これは FX2LP と外部デバイスとの間で任意のデータを移動するために実行されます。

2.14.1 6 つの Control Out 信号

100 ピンと 128 ピンのパッケージは、6 つの Control Output ピン (CTL0 ~ CTL5) をすべて起動します。8051 は CTL 波形を定義するように GPIF ユニットをプログラムします。56 ピンパッケージは、これらの 3 つの信号 (CTL0 ~ CTL2) を起動します。1 クロックごとに (48 MHz クロックを使用して 20.8 ns) 遷移する速度に CTLx 波形エッジをプログラムできます。

2.14.2 6 つの Ready IN 信号

100 ピンと 128 ピンのパッケージは、6 つの Ready Input (RDY0 ~ RDY5) をすべて起動します。8051 は、GPIF 分岐について RDY ピンをテストするように GPIF ユニットをプログラムします。56 ピンパッケージは、これらの 2 つの信号 (RDY0 ~ 1) を起動します。

2.14.3 9 つの GPIF Address OUT 信号

100 ピンおよび 128 ピン パッケージでは 9 つの GPIF アドレス行 (GPIFADR[8..0]) を使用できます。GPIF アドレス行は、最大 512 バイトブロックの RAM 全体のインデックス化をイネーブルにします。さらに多くのアドレス行が必要な場合は、I/O ポートのピンが使用されます。

2.14.4 ロング転送モード

マスタ モードでは、8051 は最大 2^{32} トランザクションの応答転送のために GPIF トランザクション カウント レジスタ (GPIFTCB3、GPIFTCB2、GPIFTCB1、または GPIFTCB0) を適切に設定します。GPIF は、データフローを自動的に調整して、要求されたすべての数のトランザクションが完了するまでアンダーフローまたはオーバーフローを防止します。

GPIF はこれらのレジスタの値を減算して、トランザクションの現在のステータスを表します。

2.15 ECC 生成^[7]

EZ-USB は、GPIF またはスレーブ FIFO インタフェースを通過するデータの ECC (誤り訂正符号) を計算できます。それぞれが 256 バイトにわたって計算される 2 つの ECC (SmartMedia 規格)、および 512 バイトにわたって計算される 1 つの ECC という 2 とおりの ECC コンフィグレーションがあります。

ECC は、1 ビットのエラーを訂正でき、2 ビットのエラーを検出できます。

2.15.1 ECC の実装

次の 2 つの ECC コンフィグレーションは ECCM ビットで選択されます。

ECCM = 0

2 つの 3 バイト ECC。それぞれが 256 バイトのデータ ブロックにわたって計算されます。このコンフィグレーションは SmartMedia の規格に準拠しています。

ECCRESET に値を書き込んで、データを GPIF またはスレーブ FIFO インタフェースを介して渡します。先頭の 256 バイトのデータの ECC が計算され、ECC1 に格納されます。次の 256 バイトの ECC が ECC2 に格納されます。2 番目の ECC が計算された後は、その後インタフェースを介してデータがさらに渡されたとしても、ECCRESET が再び書き込まれるまで ECCx レジスタは変更されません。

ECCM = 1

512 バイトのデータ ブロックにわたって計算される 1 つの 3 バイト ECC。

ECCRESET に値を書き込んで、データを GPIF またはスレーブ FIFO インタフェースを介して渡します。先頭の 512 バイトのデータの ECC が計算され、ECC1 に格納されます。ECC2 は使用されません。ECC が計算された後は、その後インタフェースを介してデータがさらに渡されたとしても、ECCRESET が再び書き込まれるまで ECC1 は変更されません。

2.16 USB のアップロードとダウンロード

コアは、内部 16 KB の RAM、および内部 512 バイトのスクラッチ パッド RAM のデータ内容を、ベンダ固有のコマンドを介して直接編集できます。この機能は、通常はユーザ コードをソフト ダウンロードするとき使用され、8051 がリセットにホールドされている場合のみ内部 RAM との間でのみ使用できます。使用可能な RAM 空間は 0x0000–0x3FFF (コード/データ) からの 16 KB、および 0xE000–0xE1FF (スクラッチ パッド データ RAM) からの 512 バイトです。^[8]

2.17 オートポインタ アクセス

FX2LP には 2 つのまったく同じオートポインタが用意されています。これらは内部 8051 データ ポインタに似ていますが、メモリ アクセスごとにオプションでインクリメントできるという機能が追加されています。この機能は、内部 RAM と外部 RAM の両方との間で使用できます。オートポインタは、モード ビット (AUTOPTSET-UP.0) の制御下にある外部 FX2LP レジスタで使用できます。外部 FX2LP オートポインタ アクセスを (0xE67B ~ 0xE67C で) 使用すると、オートポインタはデバイスへの外部および内部 RAM すべてにアクセスできます。

また、オートポインタは、FX2LP レジスタまたはエンドポイント バッファ空間をポイントできます。オートポインタの外部メモリへのアクセスがイネーブルになると、XDATA とコード空間の 0xE67B と 0xE67C の位置は使用できなくなります。

注:

7. ECC ロジックを使用するには、GPIF またはスレーブ FIFO インタフェースをバイト幅の演算に合わせて構成する必要があります。
8. データがホストからダウンロードされた後、「ローダー」を内部 RAM から実行してダウンロードされたデータを外部メモリに転送できます。

2.18 I²C コントローラ

FX2LP には、2 つの内部コントローラによって駆動される 1 つの I²C ポートがあります。この 1 つの内部コントローラはブート時に自動的に動作して VID/PID/DID およびコンフィグレーション情報をロードします。また、もう 1 つの内部コントローラは 8051 が動作時に外部の I²C デバイスを制御するために使用します。I²C ポートは、マスタモードのみで動作します。

2.18.1 I²C ポートのピン

I²C ピンである SCL と SDA は、EEPROM が FX2LP に接続されていない場合であっても外部 2.2 kΩ プルアップ抵抗を持たなければなりません。外部の EEPROM デバイス アドレス ピンは、適切にコンフィグレーションされている必要があります。デバイス アドレス ピンのコンフィグレーションについては、-3 を参照してください。

表 2-3. これらの値に対するストラップブート EEPROM アドレス行

バイト	EEPROM の例	A2	A1	A0
16	24LC00 ^[9]	N/A	N/A	N/A
128	24LC01	0	0	0
256	24LC02	0	0	0
4K	24LC32	0	0	1
8K	24LC64	0	0	1
16K	24LC128	0	0	1

2.18.2 I²C インタフェース ブート ロード アクセス

パワーオン リセット時には、I²C インタフェース ブート ロードは、VID/PID/DID コンフィグレーション バイトおよび最大 16 KB のプログラム/データをロードします。使用可能な RAM 空間は、0x0000–0x3FFF の 16KB、および 0xE000–0xE1FF の 512 バイトです。8051 はリセット状態です。I²C インタフェース ブートは、パワー オン リセットの後のみ発生します。

2.18.3 I²C インタフェース 汎用アクセス

8051 は、I²CTL レジスタおよび I2DAT レジスタを使用して I²C バスに接続されている周辺デバイスを制御できます。FX2LP は I²C マスタ制御のみを提供し、これが I²C スレーブとなることはありません。

2.19 前世代 EZ-USB FX2 に対応

EZ-USB FX2LP は、その先行 EZ-USB FX2 と外形形状、構造上の互換性があり、極少数の例外はあるものの機能上も互換性があります。このため、設計者はシステムを FX2 から FX2LP にアップグレードする場合、移行を簡単に行えます。ピン機能とパッケージ選択は同じであり、FX2 のために以前開発されたファームウェアの大部分が FX2LP でも機能します。

FX2 から FX2LP に移行する場合、部材の変更とメモリ割り当ての見直し（内部メモリが増加しているため）が必要です。EZ-USB FX2 から EZ-USB FX2LP への移行の詳細については、[サイプレス Web サイト](#)で入手できるアプリケーション ノート「Migrating from EZ-USB FX2 to EZ-USB FX2LP」を参照してください。

表 2-4. 部品番号の変換表

EZ-USB FX2 部品番号	EZ-USB FX2LP 部品番号	パッケージ 説明
CY7C68013-56PVC	CY7C68013A-56PVXC または CY7C68014A-56PVXC	56 ピン SSOP
CY7C68013-56PVCT	CY7C68013A-56PVXCT また は CY7C68014A-56PVXCT	56 ピン SSOP- テープおよび リール
CY7C68013-56LFC	CY7C68013A-56LFXC または CY7C68014A-56LFXC	56 ピン QFN
CY7C68013-100AC	CY7C68013A-100AXC または CY7C68014A-100AXC	100 ピン TQFP
CY7C68013-128AC	CY7C68013A-128AXC または CY7C68014A-128AXC	128 ピン TQFP

2.20 CY7C68013A / 14A と CY7C68015A / 16A の違い

CY7C68013A は、外形形状、構造、機能が CY7C68014A と同じです。CY7C68015A は、外形形状、構造、機能が CY7C68016A と同じです。CY7C68014A および CY7C68016A は、それぞれ CY7C68013A および CY7C68015A よりもサスペンド電流が低く、消費電力に敏感な電池式アプリケーションには理想的です。

CY7C68015A および CY7C68016A は、56 ピンの QFN パッケージのみで入手できます。IFCLK と CLKOUT がいずれも 56 ピンパッケージで不要な場合、柔軟性を高めるために 2 つの追加の GPIO 信号が CY7C68015A および CY7C68016A に用意されています。

FX2 56 ピンアプリケーションをバスパワーで動作するシステムに直接変換する USB 開発者は、これらの追加の信号から直接恩恵を受けます。2 つの GPIO によって、開発者はバスパワーで動作するアプリケーションのパワー制御回路に必要な信号を、FX2LP のピン数の多いバージョンにブッシュせずに入手できます。

CY7C68015A は、56 ピン QFN パッケージのみで入手できます。

表 2-5. CY7C68013A / 14A と CY7C68015A / 16A のピンの違い

CY7C68013A / CY7C68014A	CY7C68015A / CY7C68016A
IFCLK	PE0
CLKOUT	PE1

注:

9. この EEPROM にはアドレス ピンはありません。

3. ピンの割り当て

16 ページの図 3-1 は、5 つのパッケージ タイプのすべての信号を示しています。以降のページでは、各ピンの図に加えて、128 ピン、100 ピン、および 56 ピンのパッケージで信号のどのフルセットを利用できるかを示した組み合わせの図も示します。

16 ページの図 3-1 の 56 ピン パッケージの左端に示された信号は、記載されているとおり CY7C68013A / 14A と CY7C68015A / 16A の違いがありますが、FX2LP ファミリのすべてのバージョンに共通します。

ポート、GPIF マスタ、およびスレーブ FIFO という 3 つのモードはすべてのパッケージ バージョンで使用できます。これらのモードによって図の右端の信号が定義されます。8051 は、IFCONFIG[1:0] レジスタビットを使用してインタフェースモードを選択します。ポートモードは、パワーオン デフォルト コンフィグレーションです。

100 ピンのパッケージは、次のピンを追加することで 56 ピンパッケージに機能を追加しています。

- PORTC または代替 GPIFADR[7:0] アドレス信号

- PORTE または代替 GPIFADR[8] アドレス信号および 7 つの追加 8051 信号

- 3 つの GPIF Control 信号

- 4 つの GPIF Ready 信号

- 9 つの 8051 信号 (2 つの USART、3 つのタイマ入力、INT4、および INT5#)

- BKPT、RD#、WR#。

128 ピン パッケージは、8051 アドレスおよびデータ バスのほか、制御信号を追加しています。2 つの必須信号 RD# および WR# は、100 ピンバージョンに存在することに注意してください。

100 ピンおよび 128 ピンのバージョンでは、8051 が PORTC との読み取り／書き込みを実行するときに、RD# ピンと WR# ピンにパルスを送るように 8051 制御ビットを設定できます。この機能は、CPUCS レジスタに PORTCSTB ビットを設定することでイネーブルになります。

セクション 9.5 は、PORTC へのアクセス時の読み取り／書き込みストロブ機能のタイミング図を示したものです。

図 3-1. 信号

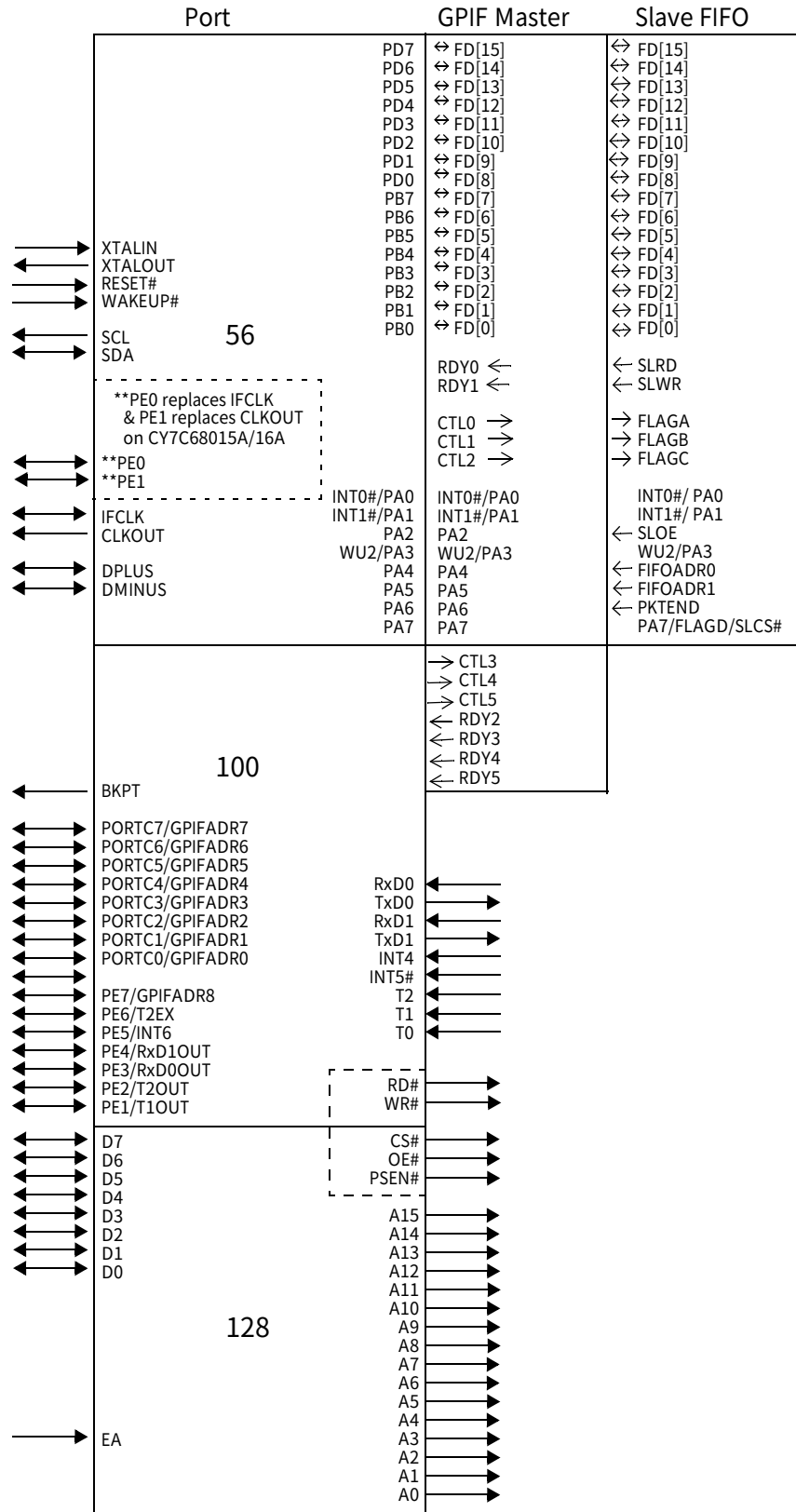
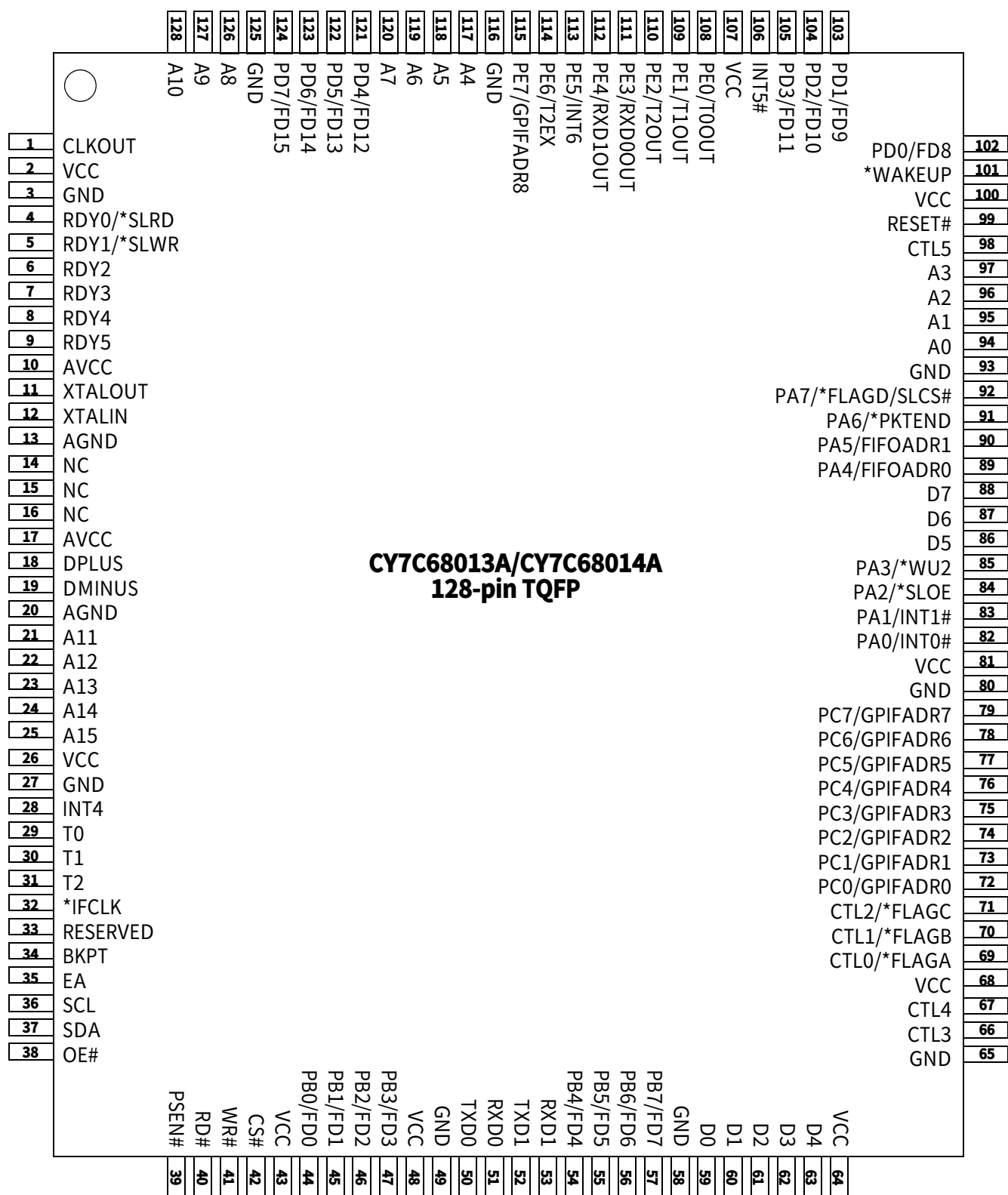
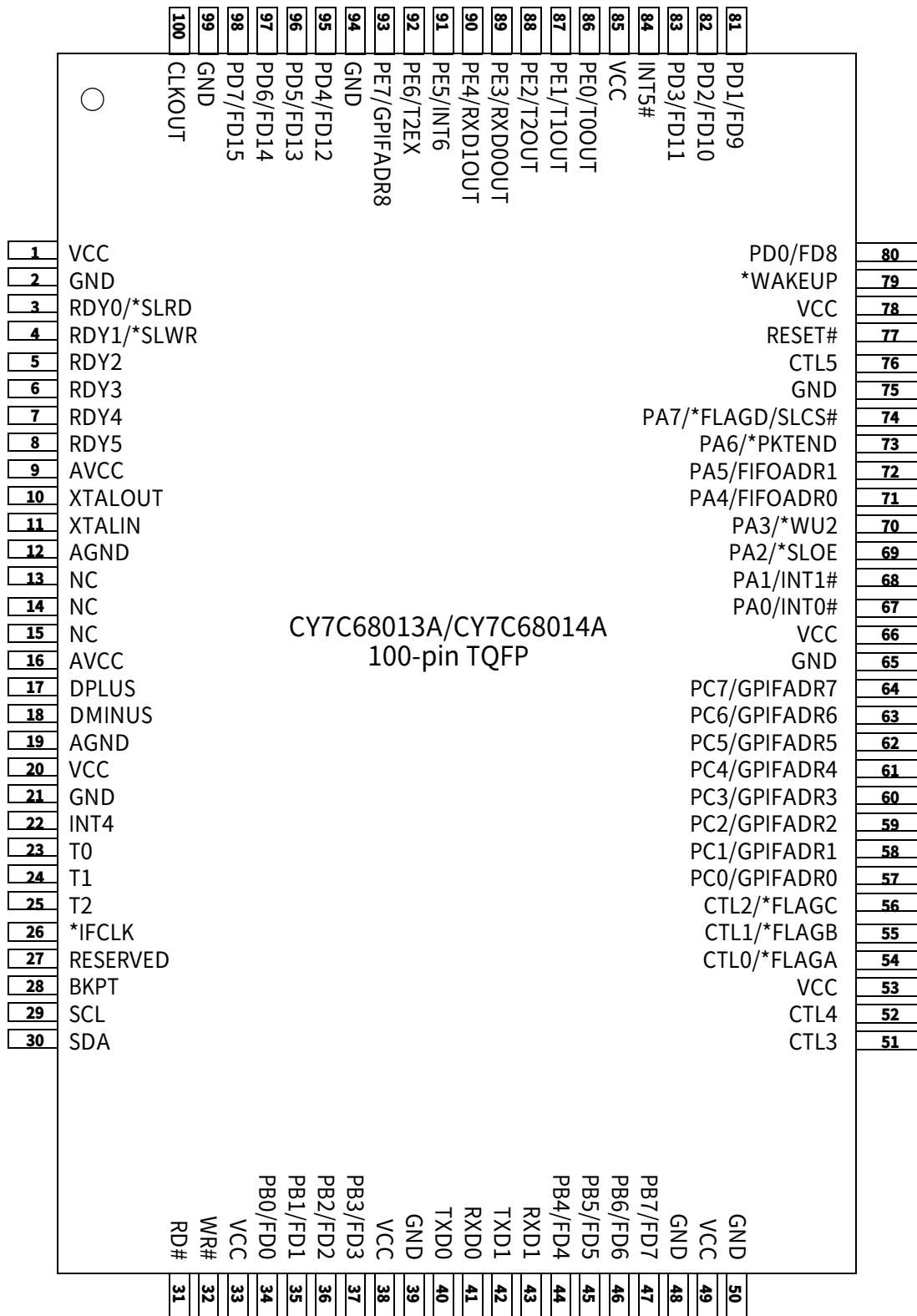


図 3-2. CY7C68013A / CY7C68014A 128 ピン TQFP のピン割り当て



* denotes programmable polarity

図 3-3. CY7C68013A / CY7C68014A 100 ピン TQFP のピン割り当て



* denotes programmable polarity

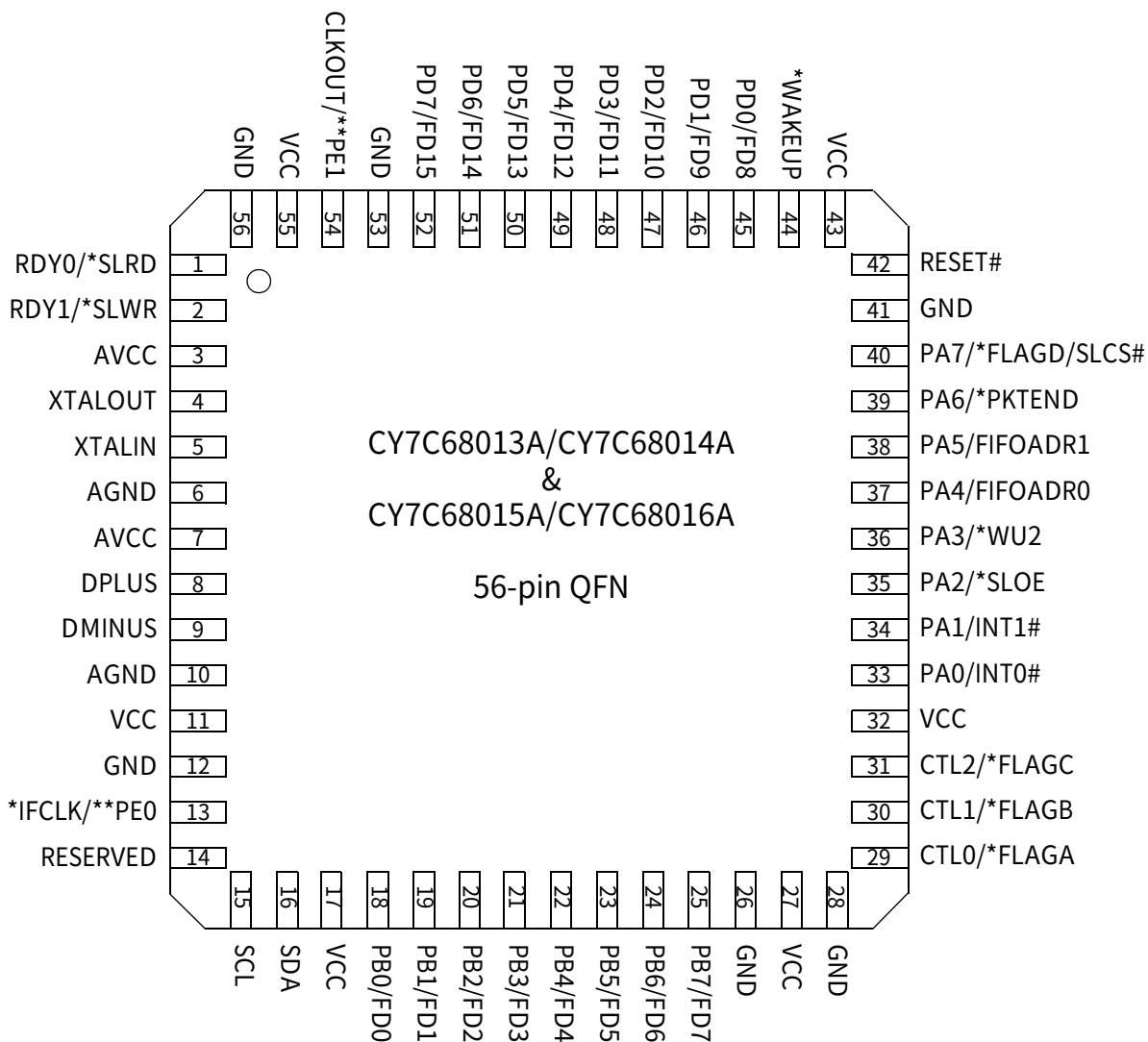
図 3-4. CY7C68013A / CY7C68014A 56 ピン SSOP のピン割り当て

CY7C68013A/CY7C68014A
56-pin SSOP

1	PD5/FD13	PD4/FD12	56
2	PD6/FD14	PD3/FD11	55
3	PD7/FD15	PD2/FD10	54
4	GND	PD1/FD9	53
5	CLKOUT	PD0/FD8	52
6	VCC	*WAKEUP	51
7	GND	VCC	50
8	RDY0/*SLRD	RESET#	49
9	RDY1/*SLWR	GND	48
10	AVCC	PA7/*FLAGD/SLCS#	47
11	XTALOUT	PA6/PKTEND	46
12	XTALIN	PA5/FIFOADR1	45
13	AGND	PA4/FIFOADR0	44
14	AVCC	PA3/*WU2	43
15	DPLUS	PA2/*SLOE	42
16	DMINUS	PA1/INT1#	41
17	AGND	PA0/INT0#	40
18	VCC	VCC	39
19	GND	CTL2/*FLAGC	38
20	*IFCLK	CTL1/*FLAGB	37
21	RESERVED	CTL0/*FLAGA	36
22	SCL	GND	35
23	SDA	VCC	34
24	VCC	GND	33
25	PB0/FD0	PB7/FD7	32
26	PB1/FD1	PB6/FD6	31
27	PB2/FD2	PB5/FD5	30
28	PB3/FD3	PB4/FD4	29

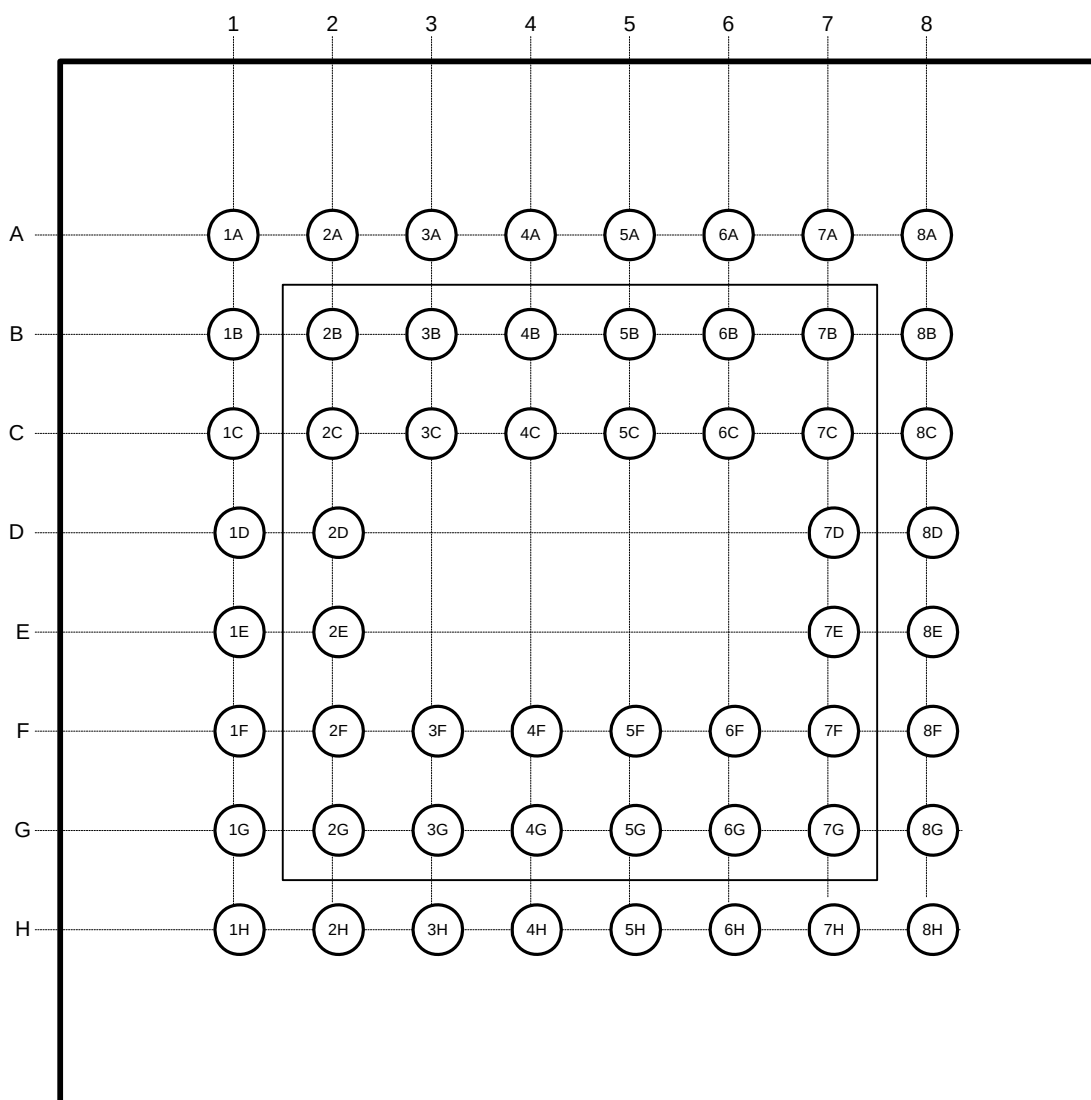
* denotes programmable polarity

図 3-5. CY7C68013A / 14A / 15A / 16A 56 ピン QFN のピン割り当て



* denotes programmable polarity
 ** denotes CY7C68015A/CY7C68016A pinout

図 3-6. CY7C68013A 56 ピン VFBGA のピン割り当て - 上面図



3.1 CY7C68013A / 15A ピンの説明

FX2LP ピンの内容は次のとおりです。^[10]

表 3-1. FX2LP ピンの説明

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
10	9	10	3	2D	AVCC	電源	該当なし	アナログ VCC 。このピンを 3.3V の電源に接続します。この信号は、チップのアナログのセクションへの電力を提供します。
17	16	14	7	1D	AVCC	電源	該当なし	アナログ VCC 。このピンを 3.3V の電源に接続します。この信号は、チップのアナログのセクションへの電力を提供します。
13	12	13	6	2F	AGND	グランド	該当なし	アナロググランド 。できる限り短いパスでグランドに接続します。
20	19	17	10	1F	AGND	グランド	該当なし	アナロググランド 。できる限り短いパスでグランドに接続します。
19	18	16	9	1E	DMINUS	I/O/Z	Z	USB D- 信号 。USB D- 信号に接続します。
18	17	15	8	2E	DPLUS	I/O/Z	Z	USB D+ 信号 。USB D+ 信号に接続します。
94					A0	出力	L	8051 アドレスバス 。このバスは常時駆動されます。8051 が内部 RAM をアドレス指定する場合、これは内部アドレスを反映します。
95					A1	出力	L	
96					A2	出力	L	
97					A3	出力	L	
117					A4	出力	L	
118					A5	出力	L	
119					A6	出力	L	
120					A7	出力	L	
126					A8	出力	L	
127					A9	出力	L	
128					A10	出力	L	
21					A11	出力	L	
22					A12	出力	L	
23					A13	出力	L	
24					A14	出力	L	
25					A15	出力	L	
59					D0	I/O/Z	Z	8051 データバス 。この双方向バスは、非アクティブ時にはハイインピーダンスになり、バス読み取りについては入力、バス書き込みについては出力です。データバスは外部 8051 プログラムおよびデータメモリに使用されます。データバスは外部バスアクセスについてのみアクティブであり、サスペンド状態では LOW で駆動されます。
60					D1	I/O/Z	Z	
61					D2	I/O/Z	Z	
62					D3	I/O/Z	Z	
63					D4	I/O/Z	Z	
86					D5	I/O/Z	Z	
87					D6	I/O/Z	Z	
88					D7	I/O/Z	Z	
39					PSEN#	出力	H	プログラムストアイネーブル 。このアクティブ LOW 信号は、外部メモリからの 8051 コード フェッチを示します。EA ピンが LOW のときは 0x4000–0xFFFF からの、または EA ピンが HIGH のときは 0x0000–0xFFFF からのプログラムメモリのフェッチがアクティブです。

- 注:**
10. 使用されない入力はフローティング状態のままにしないようにしてください。必要に応じて HIGH または LOW のいずれかに接続してください。起動時およびスタンバイ状態での信号を保証するために、出力はプルアップまたはプルダウンのみにする必要があります。また、デバイスの電力が遮断されている間、ピンが駆動されないようにする必要があります。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
34	28				BKPT	出力	L	ブレイクポイント。 このピンは、8051 アドレス バスが BPADDRH/L レジスタと一致し、ブレイクポイントが BREAKPT レジスタでイネーブルにされている (BPEN = 1) と、アクティブ (HIGH) になります。BREAKPT レジスタの BPPULSE ビットが HIGH のときは、この信号は 8 つの 12-/24-/48 MHz クロックのスピードで HIGH パルスを送出します。BPPULSE ビットが LOW のときは、8051 が BREAKPT レジスタ内の BREAK ビットを (これに 1 を書き込むことで) クリアするまで信号は HIGH のままとなります。
99	77	49	42	8B	RESET#	入力	該当なし	アクティブ LOW リセット。 チップ全体をリセットします。詳細については 7 ページの 2.9「リセットとウェークアップ」のセクションを参照してください。
35					EA	入力	該当なし	外部アクセス。 このピンは、8051 がアドレス 0x0000 と 0x3FFF との間のどこからコードをフェッチするかを決定します。EA = 0 のとき、8051 はこのコードをその内部 RAM からフェッチします。EA = 1 のとき、8051 はこのコードを外部メモリからフェッチします。
12	11	12	5	1C	XTALIN	入力	該当なし	水晶振動子入力。 この信号を 24 MHz の並列共振の、基本モード水晶振動子に接続し、負荷コンデンサを介して GND に接続します。 また、別のクロックソースから派生した外部 24-MHz の方形波によって XTALIN を駆動してもかまいません。外部ソースから駆動する場合、駆動信号は 3.3V の方形波となる必要があります。
11	10	11	4	2C	XTALOUT	出力	該当なし	水晶振動子出力。 この信号を 24 MHz の並列共振の、基本モード水晶振動子に接続し、負荷コンデンサを介して GND に接続します。 外部クロックを使用して XTALIN を駆動する場合は、このピンを開回路のままにしておきます。
1	100	5	54	2B	CY7C68013A および CY7C68014A の CLKOUT	O/Z	12 MHz	CLKOUT: 12-、24- または 48 MHz クロック、24 MHz 入力クロックにロックされたフェーズ。8051 はデフォルトでは 12 MHz の処理になっています。8051 は CPUCS.1 = 1 を設定することでこの出力をスリーステートにできます。
					CY7C68015A および CY7C68016A の PE1	I/O/Z	I	PE1 は双方向の I/O ポート ピンです。
ポート A								
82	67	40	33	8G	PA0 または INT0#	I/O/Z	I (PA0)	機能が PORTACFG.0 によって選択される多重化されたピン PA0 は双方向の I/O ポート ピンです。 INT0# は、エッジトリガ (IT0 = 1) またはレベルトリガ (IT0 = 0) される、アクティブ LOW 8051 INT0 割り込み入力信号です。
83	68	41	34	6G	PA1 または INT1#	I/O/Z	I (PA1)	機能が以下によって選択される多重化されたピン: PORTACFG.1 PA1 は双方向の I/O ポート ピンです。 INT1# は、エッジトリガ (IT1 = 1) またはレベルトリガ (IT1 = 0) される、アクティブ LOW 8051 INT1 割り込み入力信号です。
84	69	42	35	8F	PA2 または SLOE または	I/O/Z	I (PA2)	機能が 2 つのビットによって選択される多重化されたピン: IFCONFIG[1:0] PA2 は双方向の I/O ポート ピンです。 SLOE は、FD[7..0] または FD[15..0] に接続されたスレーブ FIFO に対する出力イネーブルです。入力専用でプログラマブルな極性 (FIFOPINPOLAR.4) が可能です。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
85	70	43	36	7F	PA3 または WU2	I/O/Z	I (PA3)	機能が以下によって選択される多重化されたピン: WAKEUP.7 および OEA.3 PA3 は双方向の I/O ポート ピンです。 WU2 は USB ウェークアップ の代替ソースであり、WU2EN ビット (WAKEUP.1) によってイネーブルになり、WU2POL (WAKEUP.4) によって極性が設定されます。8051 がサスペン ド状態で、WU2EN = 1 のとき、このピンの遷移が発振器を起 動し、8051 に対して割り込みを発生し、サスペンド モードか らの復帰を可能にします。WU2EN = 1 のとき、このピンのア サートによって、チップのサスペンド状態が禁止されます。
89	71	44	37	6F	PA4 または FIFOADR0	I/O/Z	I (PA4)	機能が以下によって選択される多重化されたピン: IFCONFIG[1..0] PA4 は双方向の I/O ポート ピンです。 FIFOADR0 は、FD[7..0] または FD[15..0] に接続されるスレー ブ FIFO に対する入力専用のアドレス選択ピンです。
90	72	45	38	8C	PA5 または FIFOADR1	I/O/Z	I (PA5)	機能が以下によって選択される多重化されたピン: IFCONFIG[1..0] PA5 は双方向の I/O ポート ピンです。 FIFOADR1 は、FD[7..0] または FD[15..0] に接続されるスレー ブ FIFO に対する入力専用のアドレス選択ピンです。
91	73	46	39	7C	PA6 または PKTEND	I/O/Z	I (PA6)	機能が IFCONFIG[1:0] ビットによって選択される多重化された ピン。 PA6 は双方向の I/O ポート ピンです。 PKTEND は、入力ピンでエンドポイントに FIFO パケット デー タを割り当てるために使用されます。その極性は FIFOPINPOLAR.5 からプログラム可能です。
92	74	47	40	6C	PA7 または FLAGD または SLCS#	I/O/Z	I (PA7)	機能が IFCONFIG[1:0] ビットおよび PORTACFG.7 ビットに よって選択される多重化されたピン。 PA7 は双方向の I/O ポート ピンです。 FLAGD は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 SLCS# は、その他のスレーブ FIFO イネーブル/ストローブを すべてゲートします
ポート B								
44	34	25	18	3H	PB0 または FD[0]	I/O/Z	I (PB0)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB0 は双方向の I/O ポート ピンです。 FD[0] は双方向の FIFO/GPIF データ バスです。
45	35	26	19	4F	PB1 または FD[1]	I/O/Z	I (PB1)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB1 は双方向の I/O ポート ピンです。 FD[1] は双方向の FIFO/GPIF データ バスです。
46	36	27	20	4H	PB2 または FD[2]	I/O/Z	I (PB2)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB2 は双方向の I/O ポート ピンです。 FD[2] は双方向の FIFO/GPIF データ バスです。
47	37	28	21	4G	PB3 または FD[3]	I/O/Z	I (PB3)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB3 は双方向の I/O ポート ピンです。 FD[3] は双方向の FIFO/GPIF データ バスです。
54	44	29	22	5H	PB4 または FD[4]	I/O/Z	I (PB4)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB4 は双方向の I/O ポート ピンです。 FD[4] は双方向の FIFO/GPIF データ バスです。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
55	45	30	23	5G	PB5 または FD[5]	I/O/Z	I (PB5)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB5 は双方向の I/O ポート ピンです。 FD[5] は双方向の FIFO/GPIF データ バスです。
56	46	31	24	5F	PB6 または FD[6]	I/O/Z	I (PB6)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB6 は双方向の I/O ポート ピンです。 FD[6] は双方向の FIFO/GPIF データ バスです。
57	47	32	25	6H	PB7 または FD[7]	I/O/Z	I (PB7)	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] PB7 は双方向の I/O ポート ピンです。 FD[7] は双方向の FIFO/GPIF データ バスです。
ポート C								
72	57				PC0 または GPIFADR0	I/O/Z	I (PC0)	機能が PORTCCFG.0 によって選択される多重化されたピン PC0 は双方向の I/O ポート ピンです。 GPIFADR0 は、GPIF アドレス出力ピンです。
73	58				PC1 または GPIFADR1	I/O/Z	I (PC1)	機能が PORTCCFG.1 によって選択される多重化されたピン PC1 は双方向の I/O ポート ピンです。 GPIFADR1 は、GPIF アドレス出力ピンです。
74	59				PC2 または GPIFADR2	I/O/Z	I (PC2)	機能が PORTCCFG.2 によって選択される多重化されたピン PC2 は双方向の I/O ポート ピンです。 GPIFADR2 は、GPIF アドレス出力ピンです。
75	60				PC3 または GPIFADR3	I/O/Z	I (PC3)	機能が PORTCCFG.3 によって選択される多重化されたピン PC3 は双方向の I/O ポート ピンです。 GPIFADR3 は、GPIF アドレス出力ピンです。
76	61				PC4 または GPIFADR4	I/O/Z	I (PC4)	機能が PORTCCFG.4 によって選択される多重化されたピン PC4 は双方向の I/O ポート ピンです。 GPIFADR4 は、GPIF アドレス出力ピンです。
77	62				PC5 または GPIFADR5	I/O/Z	I (PC5)	機能が PORTCCFG.5 によって選択される多重化されたピン PC5 は双方向の I/O ポート ピンです。 GPIFADR5 は、GPIF アドレス出力ピンです。
78	63				PC6 または GPIFADR6	I/O/Z	I (PC6)	機能が PORTCCFG.6 によって選択される多重化されたピン PC6 は双方向の I/O ポート ピンです。 GPIFADR6 は、GPIF アドレス出力ピンです。
79	64				PC7 または GPIFADR7	I/O/Z	I (PC7)	機能が PORTCCFG.7 によって選択される多重化されたピン PC7 は双方向の I/O ポート ピンです。 GPIFADR7 は、GPIF アドレス出力ピンです。
ポート D								
102	80	52	45	8A	PD0 または FD[8]	I/O/Z	I (PD0)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[8] は双方向の FIFO/GPIF データ バスです。
103	81	53	46	7A	PD1 または FD[9]	I/O/Z	I (PD1)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[9] は双方向の FIFO/GPIF データ バスです。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
104	82	54	47	6B	PD2 または FD[10]	I/O/Z	I (PD2)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[10] は双方向の FIFO/GPIF データ バスです。
105	83	55	48	6A	PD3 または FD[11]	I/O/Z	I (PD3)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[11] は双方向の FIFO/GPIF データ バスです。
121	95	56	49	3B	PD4 または FD[12]	I/O/Z	I (PD4)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[12] は双方向の FIFO/GPIF データ バスです。
122	96	1	50	3A	PD5 または FD[13]	I/O/Z	I (PD5)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[13] は双方向の FIFO/GPIF データ バスです。
123	97	2	51	3C	PD6 または FD[14]	I/O/Z	I (PD6)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[14] は双方向の FIFO/GPIF データ バスです。
124	98	3	52	2A	PD7 または FD[15]	I/O/Z	I (PD7)	機能が IFCONFIG[1..0] ビットおよび EPxFIFOCFG.0 (ワード幅) ビットによって選択される多重化されたピン。 FD[15] は双方向の FIFO/GPIF データ バスです。
ポート E								
108	86				PE0 または T0OUT	I/O/Z	I (PE0)	機能が PORTECFG.0 ビットによって選択される多重化されたピン。 PE0 は双方向の I/O ポート ピンです。 T0OUT は、8051 Timer-counter0 からのアクティブ HIGH 信号です。T0OUT は、Timer0 オーバーフロー時に 1 CLKOUT クロックサイクル分、HIGH レベルを出力します。Timer0 がモード 3 (2つの別個のタイマ/カウンタ) で動作する場合、T0OUT は下位バイトのタイマ/カウンタのオーバーフロー時にアクティブになります。
109	87				PE1 または T1OUT	I/O/Z	I (PE1)	機能が PORTECFG.1 ビットによって選択される多重化されたピン。 PE1 は双方向の I/O ポート ピンです。 T1OUT は、8051 Timer-counter1 からのアクティブ HIGH 信号です。T1OUT は、Timer1 オーバーフロー時に 1 CLKOUT クロックサイクル分、HIGH レベルを出力します。Timer1 がモード 3 (2つの別個のタイマ/カウンタ) で動作する場合、T1OUT は下位バイトのタイマ/カウンタのオーバーフロー時にアクティブになります。
110	88				PE2 または T2OUT	I/O/Z	I (PE2)	機能が PORTECFG.2 ビットによって選択される多重化されたピン。 PE2 は双方向の I/O ポート ピンです。 T2OUT は、8051 Timer2 からのアクティブ HIGH 出力信号です。T2OUT は、Timer/Counter 2 のオーバーフロー時に 1 クロックサイクル分、アクティブ (HIGH) です。
111	89				PE3 または RXD0OUT	I/O/Z	I (PE3)	機能が PORTECFG.3 ビットによって選択される多重化されたピン。 PE3 は双方向の I/O ポート ピンです。 RXD0OUT は、8051 UART0 からのアクティブ HIGH 信号です。RXD0OUT が選択され、UART0 がモード 0 のとき、このピンは同期モード時のみ UART0 に対して出力データを提供します。それ以外の場合、これは 1 です。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
112	90				PE4 または RXD1OUT	I/O/Z	I (PE4)	機能が PORTECFG.4 ビットによって選択される多重化されたピン。 PE4 は双方向の I/O ポートピンです。 RXD1OUT は、8051 UART1 からのアクティブ HIGH 出力です。 RXD1OUT が選択され、UART1 がモード 0 のとき、このピンは同期モード時のみ UART1 に対して出力データを提供します。モード 1、2、および 3 では、このピンは HIGH です。
113	91				PE5 または INT6	I/O/Z	I (PE5)	機能が PORTECFG.5 ビットによって選択される多重化されたピン。 PE5 は双方向の I/O ポートピンです。 INT6 は、8051 INT6 割り込み要求入力信号です。INT6 ピンは、エッジを感知するアクティブ HIGH です。
114	92				PE6 または T2EX	I/O/Z	I (PE6)	機能が PORTECFG.6 ビットによって選択される多重化されたピン。 PE6 は双方向の I/O ポートピンです。 T2EX は、8051 Timer2 へのアクティブ HIGH 入力信号です。 T2EX は、タイマ 2 をその立ち下がりエッジで再ロードします。T2EX は EXEN2 ビットが T2CON に設定されている場合のみアクティブです。
115	93				PE7 または GPIFADR8	I/O/Z	I (PE7)	機能が PORTECFG.7 ビットによって選択される多重化されたピン。 PE7 は双方向の I/O ポートピンです。 GPIFADR8 は、GPIF アドレス出力ピンです。
4	3	8	1	1A	RDY0 または SLRD	入力	該当なし	機能が以下のビットによって選択される多重化されたピン： IFCONFIG[1..0] RDY0 は GPIF 入力信号です。 SLRD は、FD[7..0] または FD[15..0] に接続されたスレーブ FIFO に対する入力専用の書き込みストロープで、プログラマブルな極性 (FIFOPINPOLAR.3) が可能です。
5	4	9	2	1B	RDY1 または SLWR	入力	該当なし	機能が以下のビットによって選択される多重化されたピン： IFCONFIG[1..0] RDY1 は GPIF 入力信号です。 SLWR は、FD[7..0] または FD[15..0] に接続されたスレーブ FIFO に対する入力専用の書き込みストロープで、プログラマブルな極性 (FIFOPINPOLAR.2) が可能です。
6	5				RDY2	入力	該当なし	RDY2 は GPIF 入力信号です。
7	6				RDY3	入力	該当なし	RDY3 は GPIF 入力信号です。
8	7				RDY4	入力	該当なし	RDY4 は GPIF 入力信号です。
9	8				RDY5	入力	該当なし	RDY5 は GPIF 入力信号です。
69	54	36	29	7H	CTL0 または FLAGA	O/Z	H	機能が以下のビットによって選択される多重化されたピン： IFCONFIG[1..0] CTL0 は、GPIF 制御出力です。 FLAGA は、プログラマブルなスレーブ FIFO 出力ステータスフラグ信号です。 FIFOADR[1..0] ピンによって選択される FIFO についてはデフォルトでプログラマブルです。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
70	55	37	30	7G	CTL1 または FLAGB	O/Z	H	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] CTL1 は、GPIF 制御出力です。 FLAGB は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 FIFOADR[1:0] ピンによって選択される FIFO についてはデフォ ルトで FULL です。
71	56	38	31	8H	CTL2 または FLAGC	O/Z	H	機能が以下のビットによって選択される多重化されたピン: IFCONFIG[1..0] CTL2 は、GPIF 制御出力です。 FLAGC は、プログラマブルなスレーブ FIFO 出力ステータス フラグ信号です。 FIFOADR[1:0] ピンによって選択される FIFO についてはデフォ ルトで EMPTY です。
66	51				CTL3	O/Z	H	CTL3 は、GPIF 制御出力です。
67	52				CTL4	出力	H	CTL4 は、GPIF 制御出力です。
98	76				CTL5	出力	H	CTL5 は、GPIF 制御出力です。
32	26	20	13	2G	CY7C68013A および CY7C68014A の IFCLK	I/O/Z	Z	スレーブ FIFO へ、またはスレーブ FIFO からデータを非同期 にクロッキングするために使用されるインタフェースクロッ ク。IFCLK は、すべてのスレーブ FIFO 制御信号および GPIF に 対するタイミング基準としても機能します。内部クロッキング が使用されている場合 (IFCONFIG.7 = 1)、ビット IFCONFIG.5 および IFCONFIG.6 によって 30/48 MHz を出力するように IFCLK ピンを構成できます。IFCLK は、ビット IFCONFIG.4 = 1 を設定することで供給元が内部か外部かに関係なく反転でき ます。
					CY7C68015A および CY7C68016A の PE0	I/O/Z	I	PE0 は双方向の I/O ポート ピンです。
28	22				INT4	入力	該当なし	INT4 は、8051 INT4 割り込み要求入力信号です。INT4 ピンは、 エッジを感知するアクティブ HIGH です。
106	84				INT5#	入力	該当なし	INT5# は、8051 INT5 割り込み要求入力信号です。INT5 ピン は、エッジを感知するアクティブ LOW です。
31	25				T2	入力	該当なし	T2 は、8051 Timer2 へのアクティブ HIGH T2 入力信号であり、 C/T2 = 1 の場合は Timer2 に入力を送信します。C/T2 = 0 の場 合、Timer2 はこのピンを使用しません。
30	24				T1	入力	該当なし	T1 は 8051 Timer1 に対するアクティブ HIGH T1 信号であり、 C/T1 が 1 の場合は Timer1 に入力を送信します。C/T1 が 0 の 場合、Timer1 はこのビットを使用しません。
29	23				T0	入力	該当なし	T0 は 8051 Timer0 に対するアクティブ HIGH T0 信号であり、 C/T0 が 1 の場合は Timer0 に入力を送信します。C/T0 が 0 の 場合、Timer0 はこのビットを使用しません。
53	43				RXD1	入力	該当なし	RXD1 は、8051 UART1 に対するアクティブ HIGH 入力信号で あり、すべてのモードで UART にデータを送信します。
52	42				TXD1	出力	H	TXD1 は、8051 UART1 からのアクティブ HIGH 出力ピンで あり、同期モードで出力クロックを送信し、非同期モードで出 力データを送信します。
51	41				RXD0	入力	該当なし	RXD0 は、8051 UART0 に対するアクティブ HIGH RXD0 入力 であり、すべてのモードで UART にデータを送信します。

表 3-1. FX2LP ピンの説明 (つづき)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名前	種類	デフォルト	内容
50	40				TXD0	出力	H	TXD0 は、8051 UART0 からのアクティブ HIGH TXD0 出力であり、同期モードで出力クロックを送信し、非同期モードで出力データを送信します。
42					CS#	出力	H	CS# は、外部メモリに対するアクティブ LOW チップセレクトです。
41	32				WR#	出力	H	WR# は、外部メモリに対するアクティブ LOW 書き込みストロープ出力です。
40	31				RD#	出力	H	RD# は、外部メモリに対するアクティブ LOW 読み取りストロープ出力です。
38					OE#	出力	H	OE# は、外部メモリに対するアクティブ LOW 出力イネーブルです。
33	27	21	14	2H	予備	入力	該当なし	予約済み。 グランドに接続します。
101	79	51	44	7B	WAKEUP	入力	該当なし	USB ウェークアップ。 8051 がサスペンド状態の場合、このピンのアサートにより発振器を起動し、8051 に割り込みを発生し、サスペンド モードの終了を可能にします。アサートされた WAKEUP の保持によって、EZ-USB [®] チップのサスペンド状態が阻止されます。このピンにはプログラマブルな極性 (WAKEUP.4) があります。
36	29	22	15	3F	SCL	OD	Z	I²C インタフェースのクロック。 I ² C 周辺デバイスが接続されていない場合でも 2.2K 抵抗 VCC に接続します。
37	30	23	16	3G	SDA	OD	Z	I²C 互換インタフェースのデータ。 I ² C 互換周辺デバイスが接続されていない場合でも 2.2K 抵抗 VCC に接続します。
2	1	6	55	5A	VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
26	20	18	11	1G	VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
43	33	24	17	7E	VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
48	38				VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
64	49	34	27	8E	VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
68	53				VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
81	66	39	32	5C	VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
100	78	50	43	5B	VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
107	85				VCC	電源	該当なし	VCC。 3.3V の電源に接続します。
3	2	7	56	4B	GND	グランド	該当なし	グランド。
27	21	19	12	1H	GND	グランド	該当なし	グランド。
49	39				GND	グランド	該当なし	グランド。
58	48	33	26	7D	GND	グランド	該当なし	グランド。
65	50	35	28	8D	GND	グランド	該当なし	グランド。
80	65				GND	グランド	該当なし	グランド。
93	75	48	41	4C	GND	グランド	該当なし	グランド。
116	94				GND	グランド	該当なし	グランド。
125	99	4	53	4A	GND	グランド	該当なし	グランド。
14	13				NC	該当なし	該当なし	未接続。 このピンは開回路のままにしておく必要があります。
15	14				NC	該当なし	該当なし	未接続。 このピンは開回路のままにしておく必要があります。
16	15				NC	該当なし	該当なし	未接続。 このピンは開回路のままにしておく必要があります。

4. レジスタの概要

FX2LP レジスタ ビットの定義は、FX2LP TRM により詳しく説明されています。

表 4-1. FX2LP レジスタの概要

16 進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
		GPIO 波形メモリ											
E400	128	WAVEDATA	GPIO 波形 ディスクリプタ 0、1、2、3 データ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E480	128	予約済み											
		全体的なコンフィグレーション											
E50D		GPCR2	汎用コンフィグレーション レジスタ 2	予約済み	予約済み	予約済み	FULL_SPEED_ONLY	予約済み	予約済み	予約済み	予約済み	00000000	R
E600	1	CPUCS	CPU 制御とステータス	0	0	PORTCSTB	CLKSPD1	CLKSPD0	CLKINV	CLKOE	8051RES	00000010	rrbbbbb
E601	1	IFCONFIG	インタフェース コンフィグレーション (ポート、GPIO、スレーブ FIFO)	IFCLKSRC	3048MHZ	IFCLKOE	IFCLKPOL	ASYNCR	GSTATE	IFCFG1	IFCFG0	10000000	RW
E602	1	PINFLAGSAB ^[11]	スレーブ FIFO FLAGA および FLAGB ピン配置	FLAGB3	FLAGB2	FLAGB1	FLAGB0	FLAGA3	FLAGA2	FLAGA1	FLAGA0	00000000	RW
E603	1	PINFLAGSCD ^[11]	スレーブ FIFO FLAGC および FLAGD ピン配置	FLAGD3	FLAGD2	FLAGD1	FLAGD0	FLAGC3	FLAGC2	FLAGC1	FLAGC0	00000000	RW
E604	1	FIFORESET ^[11]	FIFOS をデフォルト状態に復元	NAKALL	0	0	0	EP3	EP2	EP1	EP0	xxxxxxxx	W
E605	1	BREAKPT	ブレークポイント制御	0	0	0	0	BREAK	BPPULSE	BPEN	0	00000000	rrrrbbbr
E606	1	BPADDRH	ブレークポイント アドレス H	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxxx	RW
E607	1	BPADDRL	ブレークポイント アドレス L	A7	A6	A5	A4	A3	A2	A1	A0	xxxxxxxx	RW
E608	1	UART230	230 K ボーの内部で生成された 基準クロック	0	0	0	0	0	0	230UART1	230UART0	00000000	rrrrrrbb
E609	1	FIFOPINPOLAR ^[11]	スレーブ FIFO インタフェース ピン 極性	0	0	PKTEND	SLOE	SLRD	SLWR	EF	FF	00000000	rrbbbbb
E60A	1	REVID	チップ リビジョン	rv7	rv6	rv5	rv4	rv3	rv2	rv1	rv0	RevA 00000001	R
E60B	1	REVCTL ^[11]	チップ リビジョン制御	0	0	0	0	0	0	dyn_out	enh_pkt	00000000	rrrrrrbb
		UDMA											
E60C	1	GPIOHOLDAMOUNT	MSTB ホールド時間 (UDMA の)	0	0	0	0	0	0	HOLDTIME1	HOLDTIME0	00000000	rrrrrrbb
	3	予約済み											
		エンドポイントのコンフィグレーション											
E610	1	EP1OUTCFG	エンドポイント 1-OUT コンフィグレーション	VALID	0	TYPE1	TYPE0	0	0	0	0	10100000	brbbrrrr
E611	1	EP1INCFG	エンドポイント 1-IN コンフィグレーション	VALID	0	TYPE1	TYPE0	0	0	0	0	10100000	brbbrrrr
E612	1	EP2CFG	エンドポイント 2 の コンフィグレーション	VALID	DIR	TYPE1	TYPE0	SIZE	0	BUF1	BUF0	10100010	bbbbbrbb
E613	1	EP4CFG	エンドポイント 4 の コンフィグレーション	VALID	DIR	TYPE1	TYPE0	0	0	0	0	10100000	bbbbrrrr
E614	1	EP6CFG	エンドポイント 6 の コンフィグレーション	VALID	DIR	TYPE1	TYPE0	SIZE	0	BUF1	BUF0	11100010	bbbbbrbb
E615	1	EP8CFG	エンドポイント 8 の コンフィグレーション	VALID	DIR	TYPE1	TYPE0	0	0	0	0	11100000	bbbbrrrr
	2	予約済み											
E618	1	EP2FIFOCFG ^[11]	エンドポイント 2 / スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E619	1	EP4FIFOCFG ^[11]	エンドポイント 4 / スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E61A	1	EP6FIFOCFG ^[11]	エンドポイント 6 / スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E61B	1	EP8FIFOCFG ^[11]	エンドポイント 8 / スレーブ FIFO のコンフィグレーション	0	INFM1	OEP1	AUTOOUT	AUTOIN	ZEROLENIN	0	WORDWIDE	00000101	rbbbbbrb
E61C	4	予約済み											
E620	1	EP2AUTOINLENH ^[11]	エンドポイント 2 AUTOIN パケット長 H	0	0	0	0	0	PL10	PL9	PL8	00000010	rrrrrrbb
E621	1	EP2AUTOINLENL ^[11]	エンドポイント 2 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E622	1	EP4AUTOINLENH ^[11]	エンドポイント 4 AUTOIN パケット長 H	0	0	0	0	0	0	PL9	PL8	00000010	rrrrrrbb
E623	1	EP4AUTOINLENL ^[11]	エンドポイント 4 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E624	1	EP6AUTOINLENH ^[11]	エンドポイント 6 AUTOIN パケット長 H	0	0	0	0	0	0	PL10	PL9	00000010	rrrrrrbb
E625	1	EP6AUTOINLENL ^[11]	エンドポイント 6 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E626	1	EP8AUTOINLENH ^[11]	エンドポイント 8 AUTOIN パケット長 H	0	0	0	0	0	0	PL9	PL8	00000010	rrrrrrbb
E627	1	EP8AUTOINLENL ^[11]	エンドポイント 8 AUTOIN パケット長 L	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	RW
E628	1	ECCCFG	ECC のコンフィグレーション	0	0	0	0	0	0	0	ECCM	00000000	rrrrrrbb
E629	1	ECCRESET	ECC リセット	x	x	x	x	x	x	x	x	00000000	W
E62A	1	ECC1B0	ECC1 バイト 0 アドレス	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R

注:
11. これらのレジスタの読み取りおよび書き込みでは、同期化遅延が必要な場合があります。「同期化遅延」については技術リファレンス マニュアルを参照してください。

表 4-1. FX2LP レジスタの概要 (つづき)

16進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E62B	1	ECC1B1	ECC1 バイト 1 アドレス	LINE7	LINE6	LINE5	LINE4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62C	1	ECC1B2	ECC1 バイト 2 アドレス	COL5	COL4	COL3	COL2	COL1	COL0	LINE17	LINE16	00000000	R
E62D	1	ECC2B0	ECC2 バイト 0 アドレス	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R
E62E	1	ECC2B1	ECC2 バイト 1 アドレス	LINE7	LINE6	LINE5	LINE4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62F	1	ECC2B2	ECC2 バイト 2 アドレス	COL5	COL4	COL3	COL2	COL1	COL0	0	0	00000000	R
E630	1	EP2FIFOPFH ^[11]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	IN:PKTS[2] OUT:PFC12	IN:PKTS[1] OUT:PFC11	IN:PKTS[0] OUT:PFC10	0	PFC9	PFC8	10001000	bbbbbrbb
E630	1	EP2FIFOPFH ^[11]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	OUT:PFC12	OUT:PFC11	OUT:PFC10	0	PFC9	IN:PKTS[2] OUT:PFC8	10001000	bbbbbrbb
E631	1	EP2FIFOPFL ^[11]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E631	1	EP2FIFOPFL ^[11]	エンドポイント 2 / スレープ FIFO プログラマブル フラグ L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E632	1	EP4FIFOPFH ^[11]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	IN:PKTS[1] OUT:PFC10	IN:PKTS[0] OUT:PFC9	0	0	PFC8	10001000	bbrbbrbb
E632	1	EP4FIFOPFH ^[11]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	OUT:PFC10	OUT:PFC9	0	0	PFC8	10001000	bbrbbrbb
E633	1	EP4FIFOPFL ^[11]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E633	1	EP4FIFOPFL ^[11]	エンドポイント 4 / スレープ FIFO プログラマブル フラグ L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E634	1	EP6FIFOPFH ^[11]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	IN:PKTS[2] OUT:PFC12	IN:PKTS[1] OUT:PFC11	IN:PKTS[0] OUT:PFC10	0	PFC9	PFC8	00001000	bbbbbrbb
E634	1	EP6FIFOPFH ^[11]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	OUT:PFC12	OUT:PFC11	OUT:PFC10	0	PFC9	IN:PKTS[2] OUT:PFC8	00001000	bbbbbrbb
E635	1	EP6FIFOPFL ^[11]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E635	1	EP6FIFOPFL ^[11]	エンドポイント 6 / スレープ FIFO プログラマブル フラグ L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E636	1	EP8FIFOPFH ^[11]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	IN:PKTS[1] OUT:PFC10	IN:PKTS[0] OUT:PFC9	0	0	PFC8	00001000	bbrbbrbb
E636	1	EP8FIFOPFH ^[11]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ H	DECIS	PKTSTAT	0	OUT:PFC10	OUT:PFC9	0	0	PFC8	00001000	bbrbbrbb
E637	1	EP8FIFOPFL ^[11]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ L	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E637	1	EP8FIFOPFL ^[11]	エンドポイント 8 / スレープ FIFO プログラマブル フラグ L	IN:PKTS[1] OUT:PFC7	IN:PKTS[0] OUT:PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
	8	予約済み											
E640	1	EP2ISOINPKTS	フレームごと (1 ~ 3) に EP2 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb
E641	1	EP4ISOINPKTS	フレームごと (1 ~ 3) に EP4 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr
E642	1	EP6ISOINPKTS	フレームごと (1 ~ 3) に EP6 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb
E643	1	EP8ISOINPKTS	フレームごと (1 ~ 3) に EP8 (ISO の場合) IN パケット	AADJ	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr
E644	4	予約済み											
E648	1	INPKTEND ^[11]	IN パケットの強制終了	スキップ	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
E649	7	OUTPKTEND ^[11]	OUT パケットの強制終了	スキップ	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
		INTERRUPTS											
E650	1	EP2FIFOIE ^[11]	エンドポイント 2 スレープ FIFO フラグの割り込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E651	1	EP2FIFOIRQ ^[11, 12]	エンドポイント 2 スレープ FIFO フラグの割り込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E652	1	EP4FIFOIE ^[11]	エンドポイント 4 スレープ FIFO フラグの割り込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E653	1	EP4FIFOIRQ ^[11, 12]	エンドポイント 4 スレープ FIFO フラグの割り込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E654	1	EP6FIFOIE ^[11]	エンドポイント 6 スレープ FIFO フラグの割り込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E655	1	EP6FIFOIRQ ^[11, 12]	エンドポイント 6 スレープ FIFO フラグの割り込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E656	1	EP8FIFOIE ^[11]	エンドポイント 8 スレープ FIFO フラグの割り込みイネーブル	0	0	0	0	EDGE PF	PF	EF	FF	00000000	RW
E657	1	EP8FIFOIRQ ^[11, 12]	エンドポイント 8 スレープ FIFO フラグの割り込み要求	0	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb
E658	1	IBNIE	IN-BULK-NAK 割り込みイネーブル	0	0	EP8	EP6	EP4	EP2	EP1	EP0	00000000	RW
E659	1	IBNIRO ^[12]	IN-BULK-NAK 割り込み要求	0	0	EP8	EP6	EP4	EP2	EP1	EP0	00xxxxxx	rrrrrrbb
E65A	1	NAKIE	エンドポイント Ping-NAK 応答/ IBN 割り込みイネーブル	EP8	EP6	EP4	EP2	EP1	EP0	0	IBN	00000000	RW
E65B	1	NAKIRO ^[12]	エンドポイント Ping-NAK 応答/ IBN 割り込み要求	EP8	EP6	EP4	EP2	EP1	EP0	0	IBN	xxxxxx0x	bbbbbrbb
E65C	1	USBIE	USB 割り込みイネーブル	0	EP0ACK	HSGRANT	URES	SUSP	SUTOK	SOF	SUDAV	00000000	RW

注:
12. レジスタはリセットのみが可能です。設定はできません。

表 4-1. FX2LP レジスタの概要 (つづき)

16 進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E65D	1	USBIRQ ^[12]	USB 割り込み要求	0	EP0ACK	HSGRANT	URES	SUSP	SUTOK	SOF	SUDAV	0xxxxxxx	rbbbbbbb
E65E	1	EPIE	エンドポイント割り込みイネーブル	EP8	EP6	EP4	EP2	EP1OUT	EP1IN	EP0OUT	EP0IN	00000000	RW
E65F	1	EPIRQ ^[12]	エンドポイント割り込み要求	EP8	EP6	EP4	EP2	EP1OUT	EP1IN	EP0OUT	EP0IN	0	RW
E660	1	GPIFIE ^[11]	GPIF 割り込みイネーブル	0	0	0	0	0	0	GPIFWF	GPIFDONE	00000000	RW
E661	1	GPIFIRQ ^[11]	GPIF 割り込み要求	0	0	0	0	0	0	GPIFWF	GPIFDONE	000000xx	RW
E662	1	USBERRIE	USB エラー割り込みイネーブル	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIMIT	00000000	RW
E663	1	USBERRIRQ ^[12]	USB エラー割り込み要求	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIMIT	0000000x	bbbbrrrb
E664	1	ERRCNTLIM	USB エラー カウンタトリミット	EC3	EC2	EC1	EC0	LIMIT3	LIMIT2	LIMIT1	LIMIT0	xxxx0100	rrrrbbbb
E665	1	CLRERRCNT	エラー カウンタ EC3:0 のクリア	x	x	x	x	x	x	x	x	xxxxxxx	W
E666	1	INT2IVEC	割り込み 2 (USB) オートベクトル	0	I2V4	I2V3	I2V2	I2V1	I2V0	0	0	00000000	R
E667	1	INT4IVEC	割り込み 4 (スレーブ FIFO および GPIF) オートベクトル	1	0	I4V3	I4V2	I4V1	I4V0	0	0	10000000	R
E668	1	INTSET-UP	割り込み 2 および 4 セットアップ	0	0	0	0	AV2EN	0	INT4SRC	AV4EN	00000000	RW
E669	7	予約済み											
		INPUT / OUTPUT											
E670	1	PORTACFG	I/O PORTA 代替 コンフィグレーション	FLAGD	SLCS	0	0	0	0	INT1	INT0	00000000	RW
E671	1	PORTCCFG	I/O PORTC 代替 コンフィグレーション	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	00000000	RW
E672	1	PORTECFG	I/O PORTE 代替 コンフィグレーション	GPIFA8	T2EX	INT6	RXD1OUT	RXD0OUT	T2OUT	T1OUT	T0OUT	00000000	RW
E673	4	予約済み											
E677	1	予約済み											
E678	1	I ² CS	I ² C バス 制御およびステータス	START	STOP	LASTRD	ID1	ID0	BERR	ACK	DONE	000xx000	bbbbrrrr
E679	1	I2DAT	I ² C バス データ	d7	d6	d5	d4	d3	d2	d1	d0	xxxxxxxx	RW
E67A	1	I ² CTL	I ² C バス 制御	0	0	0	0	0	0	STOPIE	400KHZ	00000000	RW
E67B	1	XAUTODAT1	APTREN=1 の場合、Autoptr1 MOVX アクセス	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E67C	1	XAUTODAT2	APTREN=1 の場合、Autoptr2 MOVX アクセス	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
		UDMA CRC											
E67D	1	UDMACRCH ^[11]	UDMA CRC MSB	CRC15	CRC14	CRC13	CRC12	CRC11	CRC10	CRC9	CRC8	01001010	RW
E67E	1	UDMACRCL ^[11]	UDMA CRC LSB	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0	10111010	RW
E67F	1	UDMACRC- QUALIFIER	UDMA CRC 修飾子	QENABLE	0	0	0	QSTATE	QSIGNA2	QSIGNA1	QSIGNA0	00000000	brrrbbbb
		USB 制御											
E680	1	USBCS	USB 制御およびステータス	HSM	0	0	0	DISCON	NOSYNOSF	RENUM	SIGRSUME	x0000000	rrrrbbbb
E681	1	SUSPEND	チップをサスペンド状態にする	x	x	x	x	x	x	x	x	xxxxxxxx	W
E682	1	WAKEUPCS	ウェイクアップ制御および ステータス	WU2	WU	WU2POL	WUPOL	0	DPEN	WU2EN	WUEN	xx000101	bbbrbrbb
E683	1	TOGCTL	トグル制御	Q	S	R	I/O	EP3	EP2	EP1	EP0	x0000000	rrrrbbbb
E684	1	USBFRAMEH	USB フレーム カウント H	0	0	0	0	0	FC10	FC9	FC8	00000xxx	R
E685	1	USBFRAMEL	USB フレーム カウント L	FC7	FC6	FC5	FC4	FC3	FC2	FC1	FC0	xxxxxxxx	R
E686	1	MICROFRAME	マイクロフレーム カウント、0 ~ 7	0	0	0	0	0	MF2	MF1	MF0	00000xxx	R
E687	1	FNADDR	USB 関数アドレス	0	FA6	FA5	FA4	FA3	FA2	FA1	FA0	0xxxxxxx	R
E688	2	予約済み											
		ENDPOINTS											
E68A	1	EP0BCH ^[11]	エンドポイント 0 バイト カウント H	(BC15)	(BC14)	(BC13)	(BC12)	(BC11)	(BC10)	(BC9)	(BC8)	xxxxxxxx	RW
E68B	1	EP0BCL ^[11]	エンドポイント 0 バイト カウント L	(BC7)	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxxx	RW
E68C	1	予約済み											
E68D	1	EP1OUTBC	エンドポイント 1 OUT バイト カウント	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxxx	RW
E68E	1	予約済み											
E68F	1	EP1INBC	エンドポイント 1 IN バイト カウント	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxxx	RW
E690	1	EP2BCH ^[11]	エンドポイント 2 バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000xxx	RW
E691	1	EP2BCL ^[11]	エンドポイント 2 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxxx	RW
E692	2	予約済み											
E694	1	EP4BCH ^[11]	エンドポイント 4 バイト カウント H	0	0	0	0	0	BC9	BC8	BC7	00000xxx	RW
E695	1	EP4BCL ^[11]	エンドポイント 4 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxxx	RW
E696	2	予約済み											
E698	1	EP6BCH ^[11]	エンドポイント 6 バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000xxx	RW
E699	1	EP6BCL ^[11]	エンドポイント 6 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxxx	RW
E69A	2	予約済み											
E69C	1	EP8BCH ^[11]	エンドポイント 8 バイト カウント H	0	0	0	0	0	BC9	BC8	BC7	00000xxx	RW
E69D	1	EP8BCL ^[11]	エンドポイント 8 バイト カウント L	BC7/SKIP	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxxx	RW
E69E	2	予約済み											

表 4-1. FX2LP レジスタの概要 (つづき)

16進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E6A0	1	EP0CS	エンドポイント 0 制御およびステータス	HSNAK	0	0	0	0	0	BUSY	STALL	10000000	bbbbbbbrb
E6A1	1	EP1OUTCS	エンドポイント 1 OUT 制御およびステータス	0	0	0	0	0	0	BUSY	STALL	00000000	bbbbbbbrb
E6A2	1	EP1INCS	エンドポイント 1 IN 制御およびステータス	0	0	0	0	0	0	BUSY	STALL	00000000	bbbbbbbrb
E6A3	1	EP2CS	エンドポイント 2 制御およびステータス	0	NPAK2	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00101000	rrrrrrrb
E6A4	1	EP4CS	エンドポイント 4 制御およびステータス	0	0	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00101000	rrrrrrrb
E6A5	1	EP6CS	エンドポイント 6 制御およびステータス	0	NPAK2	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00000100	rrrrrrrb
E6A6	1	EP8CS	エンドポイント 8 制御およびステータス	0	0	NPAK1	NPAK0	FULL	EMPTY	0	STALL	00000100	rrrrrrrb
E6A7	1	EP2FIFOFLGS	エンドポイント 2 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000010	R
E6A8	1	EP4FIFOFLGS	エンドポイント 4 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000010	R
E6A9	1	EP6FIFOFLGS	エンドポイント 6 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000110	R
E6AA	1	EP8FIFOFLGS	エンドポイント 8 /スレーブ FIFO フラグ	0	0	0	0	0	PF	EF	FF	00000110	R
E6AB	1	EP2FIFOBCH	エンドポイント 2 スレーブ FIFO 合計バイト カウント H	0	0	0	BC12	BC11	BC10	BC9	BC8	00000000	R
E6AC	1	EP2FIFOBCL	エンドポイント 2 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6AD	1	EP4FIFOBCH	エンドポイント 4 スレーブ FIFO 合計バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000000	R
E6AE	1	EP4FIFOBCL	エンドポイント 4 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6AF	1	EP6FIFOBCH	エンドポイント 6 スレーブ FIFO 合計バイト カウント H	0	0	0	0	BC11	BC10	BC9	BC8	00000000	R
E6B0	1	EP6FIFOBCL	エンドポイント 6 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6B1	1	EP8FIFOBCH	エンドポイント 8 スレーブ FIFO 合計バイト カウント H	0	0	0	0	0	BC10	BC9	BC8	00000000	R
E6B2	1	EP8FIFOBCL	エンドポイント 8 スレーブ FIFO 合計バイト カウント L	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000	R
E6B3	1	SUDPTRH	セットアップ データ ポインタの上位アドレス バイト	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxxx	RW
E6B4	1	SUDPTL	セットアップ データ ポインタの低位アドレス バイト	A7	A6	A5	A4	A3	A2	A1	0	xxxxxxx0	bbbbbbbrb
E6B5	1	SUDPTRCTL	セットアップ データ ポインタの自動モード	0	0	0	0	0	0	0	SDPAUTO	00000001	RW
	2	予約済み											
E6B8	8	SET-UPDAT	8 バイトのセットアップ データ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	R
			SET-UPDAT[0] = bmRequestType										
			SET-UPDAT[1] = bmRequest										
			SET-UPDAT[2:3] = wValue										
			SET-UPDAT[4:5] = wIndex										
			SET-UPDAT[6:7] = wLength										
		GPIF											
E6C0	1	GPIWFSELECT	波形セクタ	SINGLEWR1	SINGLEWR0	SINGLERD1	SINGLERD0	FIFOWR1	FIFOWR0	FIFORD1	FIFORD0	11100100	RW
E6C1	1	GPIFIDLECS	GPIF Done、GPIF IDLE 駆動モード	DONE	0	0	0	0	0	0	IDLEDRV	10000000	RW
E6C2	1	GPIFIDLECTL	非アクティブ バス、CTL 状態	0	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	11111111	RW
E6C3	1	GPIFCTLCFG	CTL 駆動タイプ	TRICTL	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6C4	1	GPIFADRH ^[11]	GPIF アドレス H	0	0	0	0	0	0	0	GPIFA8	00000000	RW
E6C5	1	GPIFADRL ^[11]	GPIF アドレス L	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	00000000	RW
		FLOWSTATE											
E6C6	1	FLOWSTATE	フローステート イネーブルおよびセクタ	FSE	0	0	0	0	FS2	FS1	FS0	00000000	rrrrrrbbb
E6C7	1	FLOWLOGIC	フローステートの論理	LFUNC1	LFUNC0	TERMA2	TERMA1	TERMA0	TERMB2	TERMB1	TERMB0	00000000	RW
E6C8	1	FLOWEQ0CTL	フローステートの CTL-Pin 状態 (Logic = 0 の場合)	CTL0E3	CTL0E2	CTL0E1/CTL5	CTL0E0/CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6C9	1	FLOWEQ1CTL	フローステートの CTL-Pin 状態 (Logic = 1 の場合)	CTL0E3	CTL0E2	CTL0E1/CTL5	CTL0E0/CTL4	CTL3	CTL2	CTL1	CTL0	00000000	RW
E6CA	1	FLOWHOLDOFF	ホールドオフのコンフィグレーション	HOPERIOD3	HOPERIOD2	HOPERIOD1	HOPERIOD0	HOSTATE	HOCTL2	HOCTL1	HOCTL0	00010010	RW
E6CB	1	FLOWSTB	フローステート ストローブのコンフィグレーション	SLAVE	RDYASYNC	CTLTOGL	SUSTAIN	0	MSTB2	MSTB1	MSTB0	00100000	RW
E6CC	1	FLOWSTBEDGE	フローステートの立ち上がり／立ち下がりエッジのコンフィグレーション	0	0	0	0	0	0	FALLING	RISING	00000001	rrrrrrbbb
E6CD	1	FLOWSTBPERIOD	マスタ ストローブ 半期間	D7	D6	D5	D4	D3	D2	D1	D0	00000010	RW

表 4-1. FX2LP レジスタの概要 (つづき)

16進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
E6CE	1	GPIFTCB3 ^[11]	GPIF トランザクション カウント バイト 3	TC31	TC30	TC29	TC28	TC27	TC26	TC25	TC24	00000000	RW
E6CF	1	GPIFTCB2 ^[11]	GPIF トランザクション カウント バイト 2	TC23	TC22	TC21	TC20	TC19	TC18	TC17	TC16	00000000	RW
E6D0	1	GPIFTCB1 ^[11]	GPIF トランザクション カウント バイト 1	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	00000000	RW
E6D1	1	GPIFTCB0 ^[11]	GPIF トランザクション カウント バイト 0	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	00000001	RW
	2	予約済み										00000000	RW
		予約済み											
		予約済み											
E6D2	1	EP2GPPIFLGSEL ^[11]	エンドポイント 2 GPIF フラグ選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6D3	1	EP2GPPIPFSTOP	prog. フラグのエンドポイント 2 GPIF 停止トランザクション	0	0	0	0	0	0	0	FIFO2FLAG	00000000	RW
E6D4	1	EP2GPPIFTRIG ^[11]	エンドポイント 2 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxxx	W
	3	予約済み											
		予約済み											
		予約済み											
E6D A	1	EP4GPPIFLGSEL ^[11]	エンドポイント 4 GPIF フラグ選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6DB	1	EP4GPPIPFSTOP	GPIF フラグのエンドポイント 4 GPIF 停止トランザクション	0	0	0	0	0	0	0	FIFO4FLAG	00000000	RW
E6DC	1	EP4GPPIFTRIG ^[11]	エンドポイント 4 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxxx	W
	3	予約済み											
		予約済み											
		予約済み											
E6E2	1	EP6GPPIFLGSEL ^[11]	エンドポイント 6 GPIF フラグ選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6E3	1	EP6GPPIPFSTOP	prog. フラグのエンドポイント 6 GPIF 停止トランザクション	0	0	0	0	0	0	0	FIFO6FLAG	00000000	RW
E6E4	1	EP6GPPIFTRIG ^[11]	エンドポイント 6 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxxx	W
	3	予約済み											
		予約済み											
		予約済み											
E6EA	1	EP8GPPIFLGSEL ^[11]	エンドポイント 8 GPIF フラグ選択	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6EB	1	EP8GPPIPFSTOP	prog. フラグのエンドポイント 8 GPIF 停止トランザクション	0	0	0	0	0	0	0	FIFO8FLAG	00000000	RW
E6EC	1	EP8GPPIFTRIG ^[11]	エンドポイント 8 GPIF トリガ	x	x	x	x	x	x	x	x	xxxxxxxx	W
	3	予約済み											
E6F0	1	XGPIFSGLDATH	GPIF データ H (16 ビット モードのみ)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxxx	RW
E6F1	1	XGPIFSGLDATLX	読み取り/書き込み GPIF データ およびトリガ トランザクション	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E6F2	1	XGPIFSGLDATLNOX	GPIF データ L の読み取り、トランザクショントリガなし	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	R
E6F3	1	GPIFREADYCFG	内部 RDY、Sync/Async、RDY ピン 状態	INTRDY	SAS	TCXRDY5	0	0	0	0	0	00000000	bbbbrrrr
E6F4	1	GPIFREADYSTAT	GPIF Ready ステータス	0	0	RDY5	RDY4	RDY3	RDY2	RDY1	RDY0	00xxxxxx	R
E6F5	1	GPIFABORT	GPIF 波形の中止	x	x	x	x	x	x	x	x	xxxxxxxx	W
E6F6	2	予約済み											
		ENDPOINT BUFFERS											
E740	64	EP0BUF	EP0-IN/-OUT バッファ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E780	64	EP10UTBUF	EP1-OUT バッファ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E7C0	64	EP1INBUF	EP1-IN バッファ	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E800	2048	予約済み											RW
F000	1024	EP2FIFOBUF	512/1024 バイト EP 2 /スレーブ FIFO バッファ (IN または OUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
F400	512	EP4FIFOBUF	512 バイト EP 4 /スレーブ FIFO バッファ (IN または OUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
F600	512	予約済み											
F800	1024	EP6FIFOBUF	512/1024 バイト EP 6 /スレーブ FIFO バッファ (IN または OUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
FC00	512	EP8FIFOBUF	512 バイト EP 8 /スレーブ FIFO バッファ (IN または OUT)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
FE00	512	予約済み											

表 4-1. FX2LP レジスタの概要 (つづき)

16 進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
xxxx			I ² C コンフィグレーション バイト	0	DISCON	0	0	0	0	0	400KHZ	xxxxxxxx [14]	該当なし
			特殊機能レジスタ (SFR)										
80	1	IOA ^[13]	ポート A (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
81	1	SP	スタック ポインタ	D7	D6	D5	D4	D3	D2	D1	D0	00000111	RW
82	1	DPL0	データ ポインタ 0 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
83	1	DPH0	データ ポインタ 0 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
84	1	DPL1 ^[13]	データ ポインタ 1 L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
85	1	DPH1 ^[13]	データ ポインタ 1 H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
86	1	DPS ^[13]	データ ポインタ 0/1 選択	0	0	0	0	0	0	0	SEL	00000000	RW
87	1	PCON	出力制御	SMOD0	x	1	1	x	x	x	IDLE	00110000	RW
88	1	TCON	タイマ/カウンタの制御 (ビット アドレス指定可能)	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000	RW
89	1	TMOD	タイマ/カウンタ モードの制御	GATE	CT	M1	M0	GATE	CT	M1	M0	00000000	RW
8A	1	TL0	タイマ 0 再ロード L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8B	1	TL1	タイマ 1 再ロード L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8C	1	TH0	タイマ 0 再ロード H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8D	1	TH1	タイマ 1 再ロード H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8E	1	CKCON ^[13]	クロック制御	x	x	T2M	T1M	T0M	MD2	MD1	MD0	00000001	RW
8F	1	予約済み											
90	1	IOB ^[13]	ポート B (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
91	1	EXIF ^[13]	外部割り込みフラグ	IE5	IE4	I ² CINT	USBNT	1	0	0	0	00001000	RW
92	1	MPAGE ^[13]	@R0/@R1 を使用した MOVX の 上位アドレス バイト	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
93	5	予約済み											
98	1	SCON0	シリアル ポート 0 の制御 (ビット アドレス指定可能)	SM0_0	SM1_0	SM2_0	REN_0	TB8_0	RB8_0	TI_0	RI_0	00000000	RW
99	1	SBUF0	シリアル ポート 0 のデータ バッファ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
9A	1	AUTOPTRH1 ^[13]	オートポインタ 1 アドレス H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9B	1	AUTOPTRL1 ^[13]	オートポインタ 1 アドレス L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9C	1	予約済み											
9D	1	AUTOPTRH2 ^[13]	オートポインタ 2 アドレス H	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9E	1	AUTOPTRL2 ^[13]	オートポインタ 2 アドレス L	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9F	1	予約済み											
A0	1	IOC ^[13]	ポート C (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
A1	1	INT2CLR ^[13]	割り込み 2 クリア	x	x	x	x	x	x	x	x	xxxxxxxx	W
A2	1	INT4CLR ^[13]	割り込み 4 クリア	x	x	x	x	x	x	x	x	xxxxxxxx	W
A3	5	予約済み											
A8	1	IE	割り込みイネーブル (ビット アドレス指定可能)	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0	00000000	RW
A9	1	予約済み											
AA	1	EP2468STAT ^[13]	エンドポイント 2、4、6、8 ステータス フラグ	EP8F	EP8E	EP6F	EP6E	EP4F	EP4E	EP2F	EP2E	01011010	R
AB	1	EP24FIFOFLGS ^[13]	エンドポイント 2、4 スレーブ FIFO ステータス フラグ	0	EP4PF	EP4EF	EP4FF	0	EP2PF	EP2EF	EP2FF	00100010	R
AC	1	EP68FIFOFLGS ^[13]	エンドポイント 6、8 スレーブ FIFO ステータス フラグ	0	EP8PF	EP8EF	EP8FF	0	EP6PF	EP6EF	EP6FF	01100110	R
AD	2	予約済み											
AF	1	AUTOPTRSETUP ^[13]	オートポインタ 1 および 2 セットアップ	0	0	0	0	0	APTR2INC	APTR1INC	APTREN	00000110	RW
B0	1	IOD ^[13]	ポート D (ビット アドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
B1	1	IOE ^[13]	ポート E (ビット アドレス指定不可)	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
B2	1	OEA ^[13]	ポート A 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B3	1	OEB ^[13]	ポート B 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B4	1	OEC ^[13]	ポート C 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B5	1	OED ^[13]	ポート D 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B6	1	OEE ^[13]	ポート E 出力イネーブル	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B7	1	予約済み											
B8	1	IP	割り込み優先順位 (ビット アドレス指定可能)	1	PS1	PT2	PS0	PT1	PX1	PT0	PX0	10000000	RW
B9	1	予約済み											
BA	1	EP01STAT ^[13]	エンドポイント 0 および 1 ステータス	0	0	0	0	0	EP1INBSY	EP1OUTBSY	EP0BSY	00000000	R
BB	1	GPIFTRIG ^[13, 11]	エンドポイント 2、4、6、8 GPIF スレーブ FIFO トリガ	完了	0	0	0	0	RW	EP1	EP0	10000xxx brrrrbbb	
BC	1	予約済み											
BD	1	GPIFSGLDATH ^[13]	GPIF データ H (16 ビット モードのみ)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxxx	RW

注:

13. SFR は標準 8051 アーキテクチャの一部ではありません。

14. SIE で EEPROM が検出されない場合、デフォルトは 00000000 となります。

表 4-1. FX2LP レジスタの概要 (つづき)

16進	サイズ	名前	内容	b7	b6	b5	b4	b3	b2	b1	b0	デフォルト	アクセス
BE	1	GPIFSGLDATLX ^[13]	GPIF データ L トリガあり	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
BF	1	GPIFSGLDATLNOX ^[13]	GPIF データ L トリガなし	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	R
C0	1	SCON1 ^[13]	シリアルポート1の制御 (ビットアドレス指定可能)	SM0_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1	00000000	RW
C1	1	SBUF1 ^[13]	シリアルポート1のデータバッファ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
C2	6	予約済み											
C8	1	T2CON	タイマ2/カウンタ2の制御 (ビットアドレス指定可能)	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2	CPRL2	00000000	RW
C9	1	予約済み											
CA	1	RCAP2L	タイマ2、自動再ロード、 インクリメントカウンタの キャプチャ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CB	1	RCAP2H	タイマ2、自動再ロード、 インクリメントカウンタの キャプチャ	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CC	1	TL2	タイマ2再ロード L	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CD	1	TH2	タイマ2再ロード H	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
CE	2	予約済み											
D0	1	PSW	プログラムステータスワード (ビットアドレス指定可能)	CY	AC	F0	RS1	RS0	OV	F1	P	00000000	RW
D1	7	予約済み											
D8	1	EICON ^[13]	外部割り込み制御	SMOD1	1	ERES1	RES1	INT6	0	0	0	01000000	RW
D9	7	予約済み											
E0	1	ACC	累算器 (ビットアドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
E1	7	予約済み											
E8	1	EIE ^[13]	外部割り込みイネーブル	1	1	1	EX6	EX5	EX4	EI ² C	EUSB	11100000	RW
E9	7	予約済み											
F0	1	B	B (ビットアドレス指定可能)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
F1	7	予約済み											
F8	1	EIP ^[13]	外部割り込み優先順位制御	1	1	1	PX6	PX5	PX4	PI ² C	PUSB	11100000	RW
F9	7	予約済み											

R = すべてのビットが読み取り専用
 W = すべてのビットが書き込み専用
 r = 読み取り専用ビット
 w = 書き込み専用ビット
 b = 読み取り/書き込みビット

5. 絶対最大定格

最大定格を超えると、デバイスの耐用寿命が短くなる可能性があります。これらのユーザガイドラインは未テストです。

保管温度 -65 °C ~ +150 °C
 通電時の周囲温度（民生用） 0 °C ~ +70 °C
 通電時の周囲温度（工業用） -40 °C ~ +105 °C
 グランド電位への電源電圧 -0.5V ~ +4.0V
 任意の入力ピンへの DC 入力電圧^[15] 5.25V
 High-Z 状態の出力に印加される DC 電圧 -0.5V ~ VCC+ 0.5V
 消費電力 300 mW
 静電放電電圧 >2000V

I/O ポートあたりの最大出力電流 10 mA
 5 つの I/O ポートすべての最大出力電流
 （128 および 100 ピン パッケージ） 50 mA

6. 動作条件

T_A（バイアス印加時の周囲温度）民生用 0 °C ~ +70 °C
 T_A（バイアス印加時の周囲温度）工業用 -40 °C ~ +105 °C
 電源電圧 +3.00V ~ +3.60V
 グランド電圧 0V
 F_{OSC}（発振器または水晶振動子周波数）
 24 MHz ± 10 ppm、並列共振

7. 熱特性

以下の表に、各種パッケージの熱特性を示します。

表 7-1. 熱特性

パッケージ	θ_a 周囲温度 (°C)	θ_{Jc} 接合部から筐体の温度 (°C /W)	θ_{Ca} 筐体から周囲の温度 (°C /W)	θ_{Ja} 接合部から周囲の温度 $\theta_{Jc} + \theta_{Ca}$ (°C /W)
56 SSOP	70	24.4	23.3	47.7
100 TQFP	70	11.9	34.0	45.9
128 TQFP	70	15.5	27.7	43.2
56 QFN	70	10.6	14.6	25.2
56 VFBGA	70	30.9	27.7	58.6

接合部の温度 θ_j は、次の式を使用して計算できます。 $\theta_j = P * \theta_{Ja} + \theta_a$

ここで、

P = 電力

θ_{Ja} = 接合部から周囲の温度 ($\theta_{Jc} + \theta_{Ca}$)

θ_a = 周囲の温度 (70 °C)

筐体の温度 θ_c は、次の式を使用して計算できます。 $\theta_c = P * \theta_{Ca} + \theta_a$

ここで、

P = 電力

θ_{Ca} = 筐体から周囲の温度

θ_a = 周囲の温度 (70 °C)

注:

15. チップの電源を遮断した状態で I/O に電力を供給しないでください。

8. DC 特性

表 8-1. DC 特性

パラメータ	内容	条件	最小値	標準値	最大値	単位
VCC	電源電圧		3.00	3.3	3.60	V
VCC Ramp Up	0 ~ 3.3V		200			μs
V _{IH}	入力 HIGH 電圧		2		5.25	V
V _{IL}	入力 LOW 電圧		- 0.5		0.8	V
V _{IH_X}	水晶振動子入力 HIGH 電圧		2		5.25	V
V _{IL_X}	水晶振動子入力 LOW 電圧		- 0.5		0.8	V
I _I	入力漏れ電流	0 < V _{IN} < VCC			±10	μA
V _{OH}	出力電圧 HIGH	I _{OUT} = 4 mA	2.4			V
V _{OL}	出力 LOW 電圧	I _{OUT} = -4 mA			0.4	V
I _{OH}	出力電流 HIGH				4	mA
I _{OL}	出力電流 LOW				4	mA
C _{IN}	入力ピン容量	D+/D- 除く			10	pF
		D+/D-			15	pF
I _{SUSP}	サスペンド電流	接続		300	380 ^[16]	μA
	CY7C68014 / CY7C68016	切断		100	150 ^[16]	μA
	サスペンド電流	接続		0.5	1.2 ^[16]	mA
	CY7C68013 / CY7C68015	切断		0.3	1.0 ^[16]	mA
I _{CC}	電源電流	8051 動作、USB HS に接続		50	85	mA
		8051 動作、USB FS に接続		35	65	mA
T _{RESET}	有効電力後のリセット時間	VCC の最小値 = 3.0V	5.0			mS
	パワーオン後のピン リセット		200			μS

8.1 USB トランシーバ

フル スピード／ハイ スピード モード対応の USB2.0。

注：
16. 最大 VCC、25 °C で測定。

9. AC 電気的特性

9.1 USB トランシーバ

フルスピード／ハイスピードモード対応の USB2.0。

9.2 プログラム メモリ読み取り

図 9-1. プログラム メモリ読み取りタイミング図

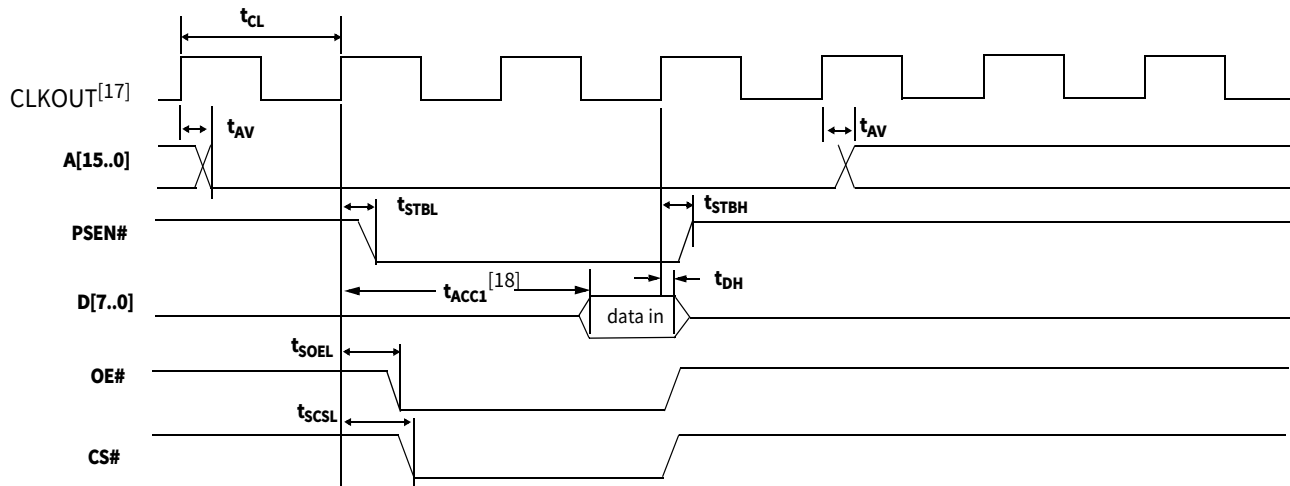


表 9-1. プログラム メモリ読み取りパラメータ

パラメータ	内容	最小値	標準値	最大値	単位	注
t_{CL}	1/CLKOUT 周波数		20.83		ns	48 MHz
			41.66		ns	24 MHz
			83.2		ns	12 MHz
t_{AV}	クロックから有効アドレスまでの遅延	0		10.7	ns	
t_{STBL}	クロックから PSEN LOW	0		8	ns	
t_{STBH}	クロックから PSEN High	0		8	ns	
t_{SOEL}	クロックから OE Low			11.1	ns	
t_{SCSL}	クロックから CS Low			13	ns	
t_{DSU}	データセットアップからクロック	9.6			ns	
t_{DH}	データ ホールド時間	0			ns	

注:

17. CLKOUT は、正の極性で示されています。

18. t_{ACC1} は、次に示すパラメータから計算されます。

$$t_{ACC1}(24\text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106\text{ ns}$$

$$t_{ACC1}(48\text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43\text{ ns}$$

9.3 データメモリの読み取り

図 9-2. データメモリ読み取りタイミング図

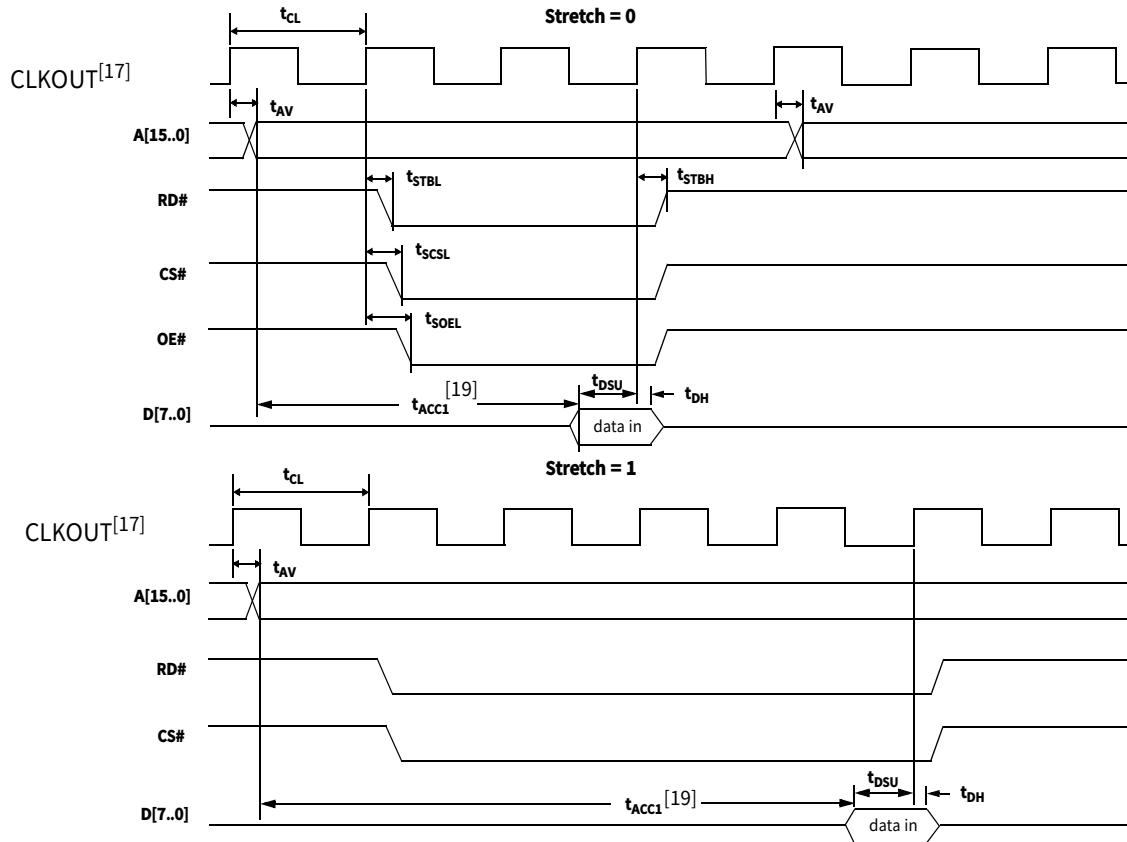


表 9-1. データメモリの読み取りパラメータ

パラメータ	内容	最小値	標準値	最大値	単位	注
t_{CL}	1/CLKOUT 周波数		20.83		ns	48 MHz
			41.66		ns	24 MHz
			83.2		ns	12 MHz
t_{AV}	クロックから有効アドレスまでの遅延			10.7	ns	
t_{STBL}	クロックから RD LOW			11	ns	
t_{STBH}	クロックから RD HIGH			11	ns	
t_{SCSL}	クロックから CS LOW			13	ns	
t_{SOEL}	クロックから OE LOW			11.1	ns	
t_{DSU}	データ セットアップからクロック	9.6			ns	
t_{DH}	データ ホールド時間	0			ns	

AUTOPTR1 または AUTOPTR2 を使用して外部メモリをアドレス指定する場合、RD# または WR# がアクティブな間は、AUTOPTR1 のアドレスが唯一アクティブです。AUTOPTR2 のアドレスはサイクル全体でアクティブであり、ストレッチ値に基づくアドレス有効時間を満たしません。

注:

19. t_{ACC2} および t_{ACC3} は、次に示すパラメータから計算されます。

$$t_{ACC2} (24 \text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106 \text{ ns}$$

$$t_{ACC2} (48 \text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43 \text{ ns}$$

$$t_{ACC3} (24 \text{ MHz}) = 5 \cdot t_{CL} - t_{AV} - t_{DSU} = 190 \text{ ns}$$

$$t_{ACC3} (48 \text{ MHz}) = 5 \cdot t_{CL} - t_{AV} - t_{DSU} = 86 \text{ ns}$$

9.4 データメモリの書き込み

図 9-3. データメモリ書き込みタイミング図

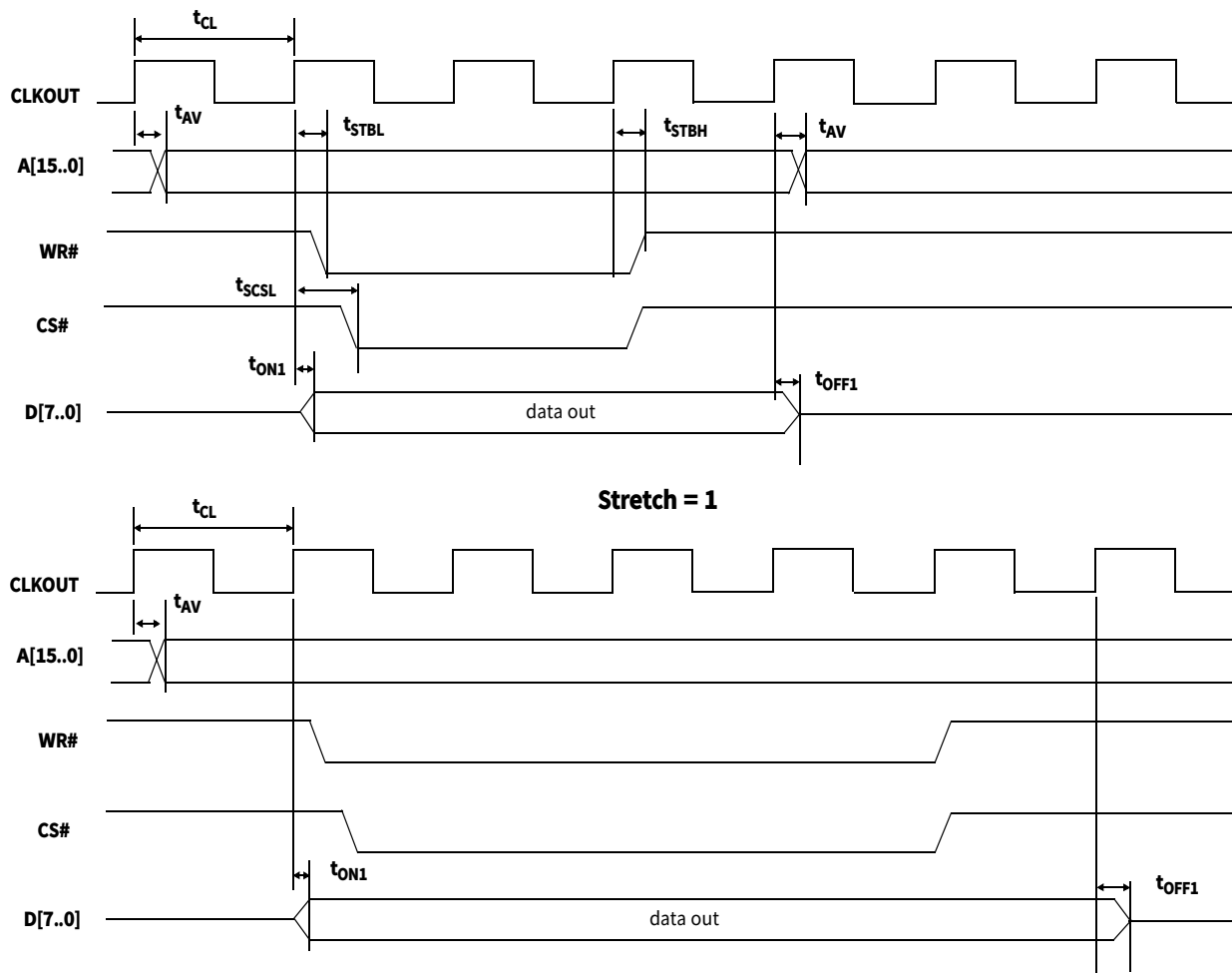


表 9-1. データメモリの書き込みパラメータ

パラメータ	内容	最小値	最大値	単位	注
t_{AV}	クロックから有効アドレスまでの遅延	0	10.7	ns	
t_{STBL}	クロックから WR パルス LOW	0	11.2	ns	
t_{STBH}	クロックから WR パルス HIGH	0	11.2	ns	
t_{SCSL}	クロックから CS パルス LOW		13.0	ns	
t_{ON1}	クロックからデータのオン	0	13.1	ns	
t_{OFF1}	クロックからデータ ホールド時間	0	13.1	ns	

AUTOPTTR1 または AUTOPTTR2 を使用して外部メモリをアドレス指定する場合、RD# または WR# がアクティブな間は、AUTOPTTR1 のアドレスが唯一アクティブです。AUTOPTTR2 のアドレスはサイクル全体でアクティブであり、ストレッチ値に基づくアドレス有効時間を満たします。

9.5 PORTC ストローブ機能のタイミング

RD# および WR# は、100 ピン バージョンおよび 128 ピン パッケージに存在します。これらの 100 ピンおよび 128 ピンのバージョンでは、8051 が PORTC との読み取り／書き込みを実行するときに、RD# ピンと WR# ピンにパルスを送るよう 8051 制御ビットを設定できます。この機能は、CPUCS レジスタに PORTCSTB ビットを設定することでイネーブルになります。

PORTC へのアクセス時に、RD# および WR# ストローブは 2 つの CLKOUT サイクル分、アサートされます。

WR# ストローブは、図 9-4 に示されているとおり、PORTC が更新された後、2 クロック サイクル分アサートされ、その後、2 クロック サイクル分アクティブになります。

読み取りについては、8051 が読み取る値は、RD# のアサートの前の PORTC 3 クロック サイクルの値です。RD# は、8051 が PORTC で読み取り関数を実行した時点から 3 クロック サイクル後に、2 クロック サイクル分、パルス出力されます。

RD# 信号は、外部ロジックに次のデータ バイトを準備するように求めます。RD# 信号そのもののアサート時には内部的には何もサンプルされません。これは次のデータ バイトを準備させるための単なるプリフェッチ タイプの信号です。そのため、RD# 信号を使用するときにそのことを考慮すると、次の読み取りまでのセットアップ時間の条件を簡単に満たすことができます。

RD# のこのパルス送信の目的は、外部周辺デバイスが 8051 が PORTC の読み取りを実行し、データが RD# 信号のアサート前に PORTC 3 CLKOUT サイクルにラッチされたことを感知できるようにすることです。RD# がパルス送信されると、外部ロジックは PORTC 上のデータを更新できます。

以下は、PORTC へのアクセス時の読み取り／書き込みストローブ機能のタイミング図を示したものです。RD# 信号と WR# 信号の伝播遅延の詳細については、[セクション 9.3](#) と [セクション 9.4](#) を参照してください。

図 9-4. 8051 が PORTC にアクセスするときの WR# ストローブ関数

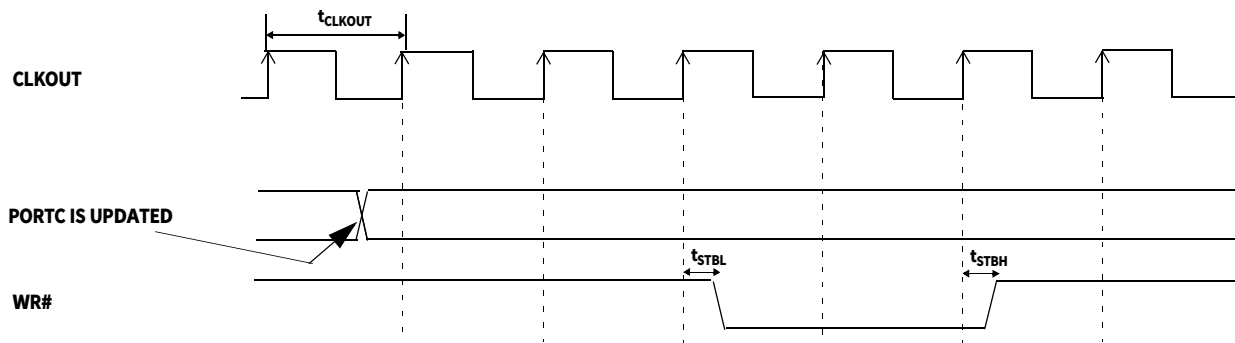
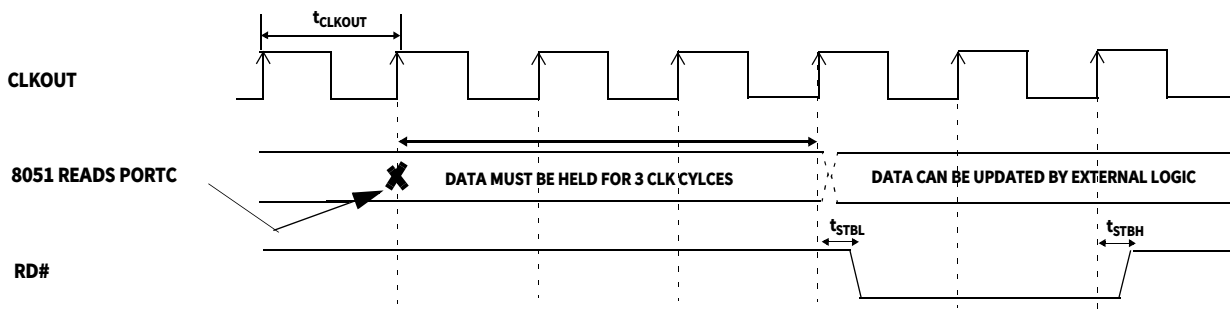


図 9-5. 8051 が PORTC にアクセスするときの RD# ストローブ関数



9.6 GPIF 同期信号

図 9-6. GPIF 同期信号のタイミング図^[20]

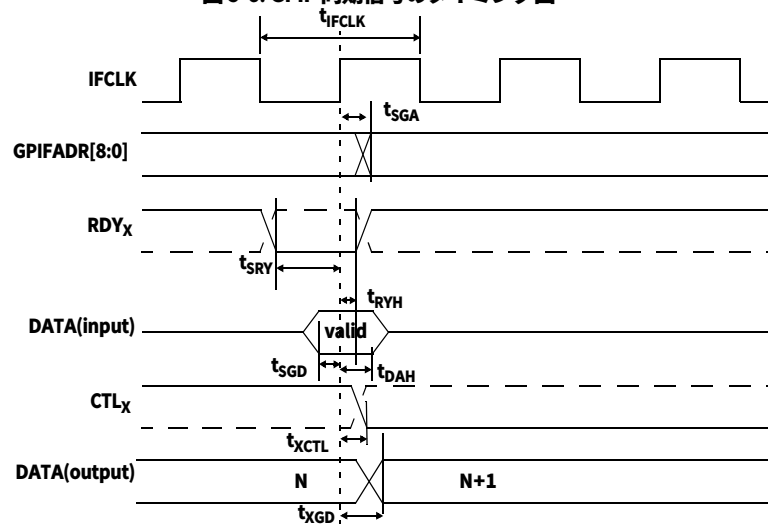


表 9-1. 内部から供給される IFCLK での GPIF 同期信号パラメータ^[20、21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83		ns
t_{SRY}	RDY_x からクロック セットアップ時間	8.9		ns
t_{RVH}	クロックから RDY_x	0		ns
t_{SGD}	GPIF データからクロック セットアップ時間	9.2		ns
t_{DAH}	GPIF データ ホールド時間	0		ns
t_{SGA}	クロックから GPIF アドレス伝播遅延		7.5	ns
t_{XGD}	クロックから GPIF データ出力伝播遅延		11	ns
t_{XCTL}	クロックから CTL_x 出力伝播遅延		6.7	ns

表 9-2. 外部から供給される IFCLK での GPIF 同期信号パラメータ^[21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期 ^[22]	20.83	200	ns
t_{SRY}	RDY_x からクロック セットアップ時間	2.9		ns
t_{RVH}	クロックから RDY_x	3.7		ns
t_{SGD}	GPIF データからクロック セットアップ時間	3.2		ns
t_{DAH}	GPIF データ ホールド時間	4.5		ns
t_{SGA}	クロックから GPIF アドレス伝播遅延		11.5	ns
t_{XGD}	クロックから GPIF データ出力伝播遅延		15	ns
t_{XCTL}	クロックから CTL_x 出力伝播遅延		10.7	ns

注:

20. 破線は、プログラマブルな極性のある信号を示しています。
 21. GPIF 非同期 RDY_x 信号の最小セットアップ時間は内部 48 MHz IFCLK 使用時で 50 ns です。
 22. IFCLK が 48 MHz を超えないようにする必要があります。

9.7 スレープ FIFO 同期読み出し

図 9-7. スレープ FIFO 同期読み出しのタイミング図 [20]

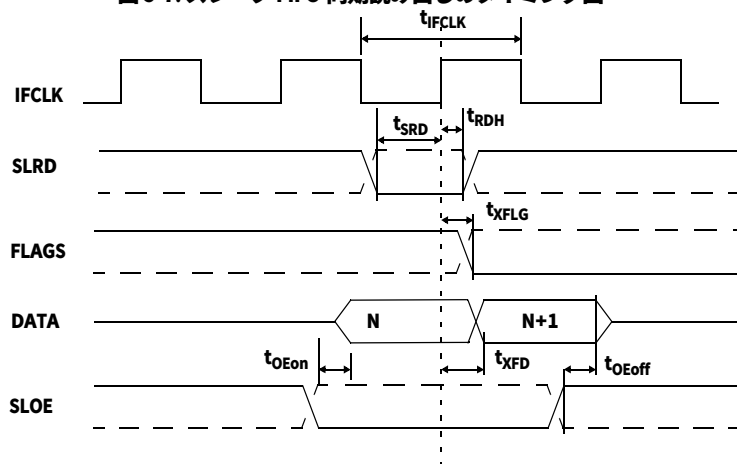


表 9-1. 内部から供給される IFCLK でのスレープ FIFO 同期読み出しパラメータ [21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83		ns
t_{SRD}	SLRD からクロック セットアップ時間	18.7		ns
t_{RDH}	クロックから SLRD ホールド時間	0		ns
t_{OEon}	SLOE は FIFO データ有効に対してオン		10.5	ns
t_{OEoff}	SLOE は FIFO データ ホールドに対してオフ		10.5	ns
t_{XFLG}	クロックから FLAGS 出力伝播遅延まで		9.5	ns
t_{XFD}	クロックから FIFO データ出力伝播遅延		11	ns

表 9-2. 外部から供給される IFCLK でのスレープ FIFO 同期読み出しパラメータ [21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	200	ns
t_{SRD}	SLRD からクロック セットアップ時間	12.7		ns
t_{RDH}	クロックから SLRD ホールド時間	3.7		ns
t_{OEon}	SLOE は FIFO データ有効に対してオン		10.5	ns
t_{OEoff}	SLOE は FIFO データ ホールドに対してオフ		10.5	ns
t_{XFLG}	クロックから FLAGS 出力伝播遅延まで		13.5	ns
t_{XFD}	クロックから FIFO データ出力伝播遅延		15	ns

9.8 スレーブ FIFO 非同期読み出し

図 9-8. スレーブ FIFO 非同期読み出しのタイミング図^[20]

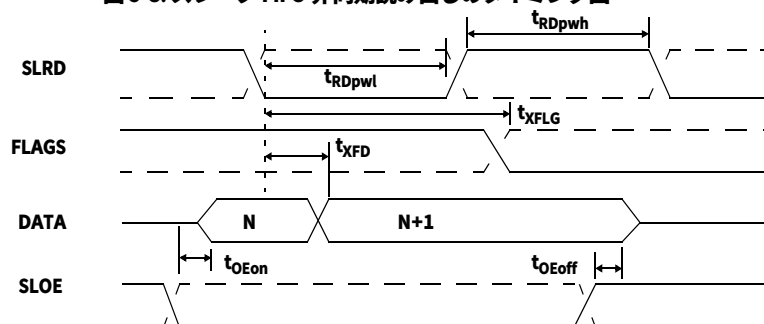


表 9-1. スレーブ FIFO 非同期読み出しのパラメータ^[23]

パラメータ	内容	最小値	最大値	単位
t_{RDpwl}	SLRD パルス幅 LOW	50		ns
t_{RDpwh}	SLRD パルス幅 HIGH	50		ns
t_{XFLG}	SLRD から FLAGS 出力伝播遅延まで		70	ns
t_{XFD}	SLRD から FIFO データ出力伝播遅延		15	ns
t_{OEon}	SLOE は FIFO データ有効に対してオン		10.5	ns
t_{OEoff}	SLOE は FIFO データホールドに対してオフ		10.5	ns

注:

23. スレーブ FIFO 非同期パラメータ値は、48 MHz の内部 IFCLK 設定を使用します。

9.9 スレープ FIFO 同期書き込み

図 9-9. スレープ FIFO 同期書き込みのタイミング図 [20]

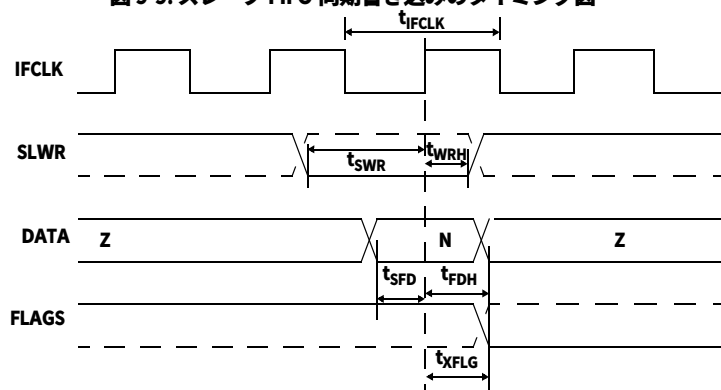


表 9-1. 内部から供給される IFCLK でのスレープ FIFO 同期書き込みパラメータ [21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83		ns
t_{SWR}	SLWR からクロック セットアップ時間	10.4		ns
t_{WRH}	クロックから SLWR ホールド時間	0		ns
t_{SFD}	FIFO データからクロック セットアップ時間	9.2		ns
t_{FDH}	クロックから FIFO データ ホールド時間	0		ns
t_{XFLG}	クロックから FLAGS 出力伝播時間まで		9.5	ns

表 9-2. 外部から供給される IFCLK でのスレープ FIFO 同期書き込みパラメータ [21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	200	ns
t_{SWR}	SLWR からクロック セットアップ時間	12.1		ns
t_{WRH}	クロックから SLWR ホールド時間	3.6		ns
t_{SFD}	FIFO データからクロック セットアップ時間	3.2		ns
t_{FDH}	クロックから FIFO データ ホールド時間	4.5		ns
t_{XFLG}	クロックから FLAGS 出力伝播時間まで		13.5	ns

9.10 スレーブ FIFO 非同期書き込み

図 9-10. スレーブ FIFO 非同期書き込みのタイミング図 [20]

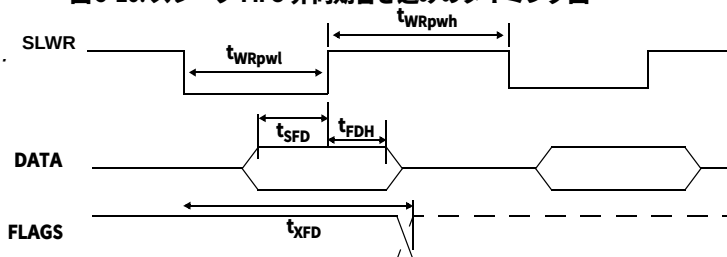


表 9-1. 内部から供給される IFCLK でのスレーブ FIFO 非同期書き込みパラメータ [23]

パラメータ	内容	最小値	最大値	単位
t_{WRpwl}	SLWR パルス LOW	50		ns
t_{WRpwh}	SLWR パルス HIGH	70		ns
t_{SFD}	SLWR から FIFO データ セットアップ時間	10		ns
t_{FDH}	FIFO データから SLWR ホールド時間	10		ns
t_{XFD}	SLWR から FLAGS 出力伝播遅延まで		70	ns

9.11 スレーブ FIFO 同期パケット終了ストローブ

図 9-11. スレーブ FIFO 同期パケット終了ストローブのタイミング図 [20]

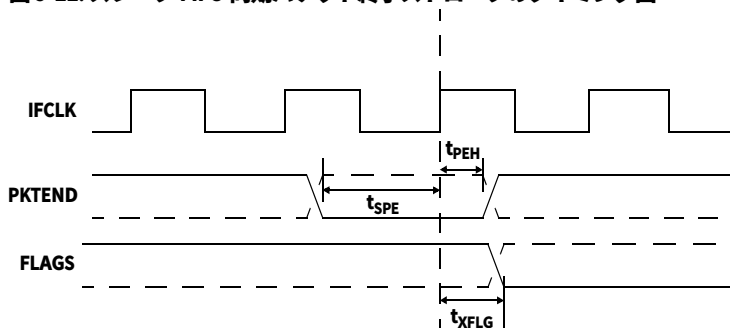


表 9-1. 内部から供給される IFCLK でのスレーブ FIFO 同期パケット終了ストローブパラメータ [21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83		ns
t_{SPE}	PKTEND からクロック セットアップ時間	14.6		ns
t_{PEH}	クロックから PKTEND ホールド時間	0		ns
t_{XFLG}	クロックから FLAGS 出力伝播遅延まで		9.5	ns

表 9-2. 外部から供給される IFCLK でのスレーブ FIFO 同期パケット終了ストローブパラメータ [21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	IFCLK 周期	20.83	200	ns
t_{SPE}	PKTEND からクロック セットアップ時間	8.6		ns
t_{PEH}	クロックから PKTEND ホールド時間	2.5		ns
t_{XFLG}	クロックから FLAGS 出力伝播遅延まで		13.5	ns

SLWRのアサートに関してPKTENDピンをアサートするために満たさなければならない特定のタイミング要件はありません。PKTEND は、FIFO またはそれ以降クロックされた最新のデータ値でアサートできます。セットアップ時間 t_{SPE} およびホールド時間 t_{PEH} を満たす必要があります。

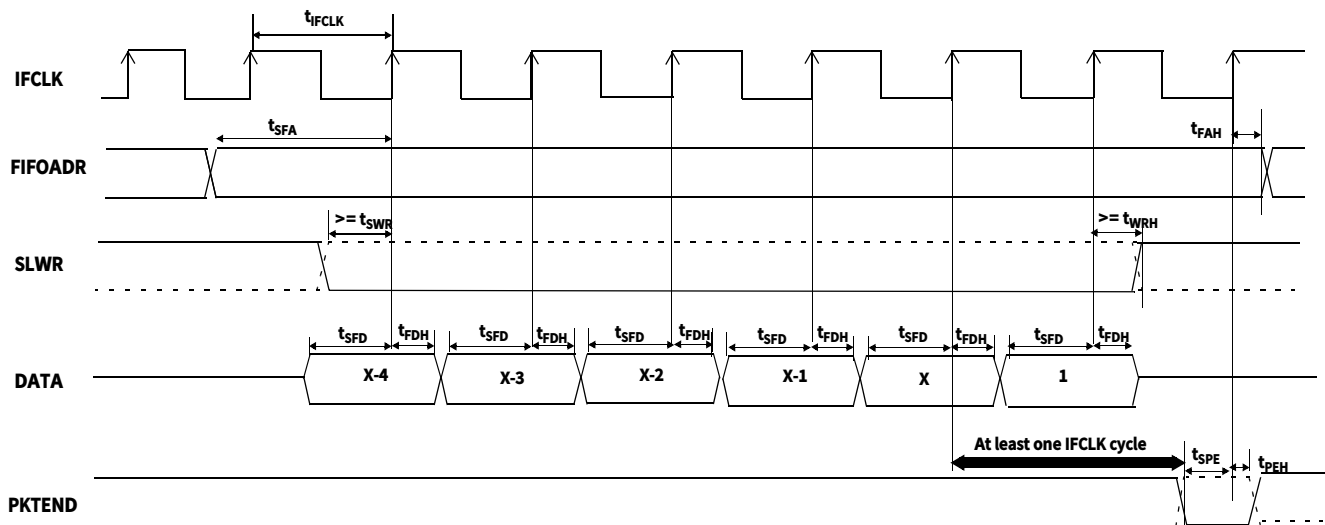
PKTEND アサートについて特定のタイミング要件はありませんが、PKTEND を使用して1バイトまたは1ワードの packets を割り当てる間に注意すべき特定のコーナー ケース条件があります。また、自動モードで動作するように FIFO 構成する場合に満たす必要のある追加のタイミング要件があり、これは 2 つの packets を連続して送信する場合に必要となります。つまり PKTEND ピンを使用して手動で割り当てられた短い 1 バイトまたは 1 ワードの packets が続く、自動的に割り当てられたフル packets (フルとは、AUTOINLEN レジスタに設定されたレベルを満たす FIFO のバイト数) です。このシナリオでは、ユーザは、最

後のバイトまたはワードを、前回の自動的に割り当て packets にクロックさせた、立ち上がりエッジの後、少なくとも 1 クロック サイクルで PKTEND をアサートするようにしなければなりません。図 9-12 はこのシナリオを示したものです。X は、IN エンドポイントが自動モードに入るように構成されるときに、AUTOINLEN レジスタに設定される値です。

図 9-12 は、2 つの packets が割り当てられるシナリオを示しています。最初の packets は、FIFO のバイト数が X (AUTOINLEN レジスタに設定された値) に達すると自動的に割り当てられ、2 番目の 1 バイト/ワードのショート packets は PKTEND を使用して手動で割り当てられます。

PKTEND のアサートと、前回の packets の最終バイトのクロッキング (packets の自動割り当てを引き起こす) との間には少なくとも 1 つの IFCLK サイクル タイミングがあります。このタイミングを守らないと、FX2 は1バイトまたは1ワードのショート packets の送信に失敗します。

図 9-12. スレーブ FIFO 同期書き込みシーケンスおよびタイミング図 [20]



9.12 スレーブ FIFO 非同期 packets 終了ストローブ

図 9-13. スレーブ FIFO 非同期 packets 終了ストローブのタイミング図 [20]

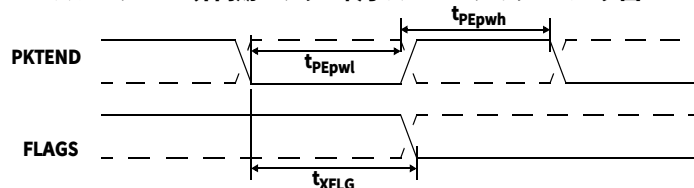


表 9-1. スレーブ FIFO 非同期 packets 終了ストローブのパラメータ [23]

パラメータ	内容	最小値	最大値	単位
t_{PEpwl}	PKTEND パルス幅 LOW	50		ns
t_{PEpwh}	PKTEND パルス幅 HIGH	50		ns
t_{XFLG}	PKTEND から FLAGS 出力伝播遅延まで		115	ns

9.13 スレーブ FIFO 出力イネーブル

図 9-14. スレーブ FIFO 出力のタイミング図^[20]

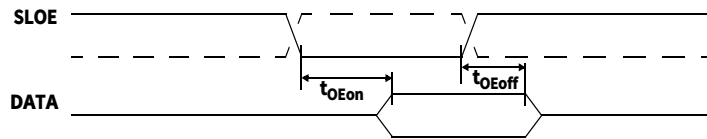


表 9-1. スレーブ FIFO 出力イネーブルのパラメータ

パラメータ	内容	最小値	最大値	単位
t_{OEon}	FIFO データ出力への SLOE のアサート		10.5	ns
t_{OEoff}	FIFO データ ホールドへの SLOE のデアサート		10.5	ns

9.14 フラグ／データへのスレーブ FIFO アドレス

図 9-15. フラグ／データへのスレーブ FIFO アドレスのタイミング図^[20]

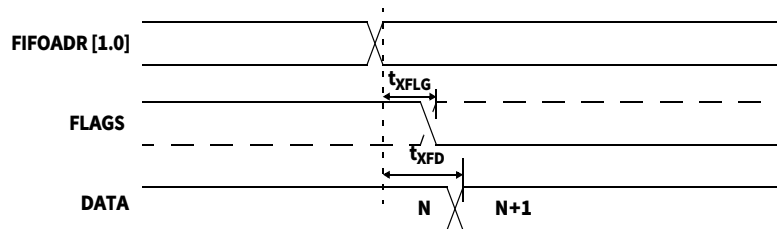


表 9-1. フラグ／データへのスレーブ FIFO アドレスのパラメータ

パラメータ	内容	最小値	最大値	単位
t_{XFLG}	FIFOADR[1:0] から FLAGS 出力伝播遅延		10.7	ns
t_{XFD}	FIFOADR[1:0] から FIFODATA 出力伝播遅延		14.3	ns

9.15 スレーブ FIFO 同期アドレス

図 9-16. スレーブ FIFO 同期アドレスのタイミング図^[20]

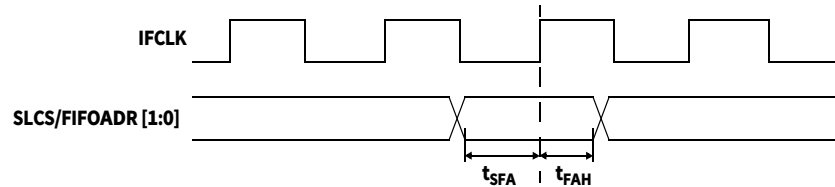


表 9-1. スレーブ FIFO 同期アドレスのパラメータ^[21]

パラメータ	内容	最小値	最大値	単位
t_{IFCLK}	インタフェース クロック周期	20.83	200	ns
t_{SFA}	FIFOADR[1:0] からクロック セットアップ時間	25		ns
t_{FAH}	クロックから FIFOADR[1:0] ホールド時間	10		ns

9.16 スレーブ FIFO 非同期アドレス

図 9-17. スレーブ FIFO 非同期アドレスのタイミング図 [20]

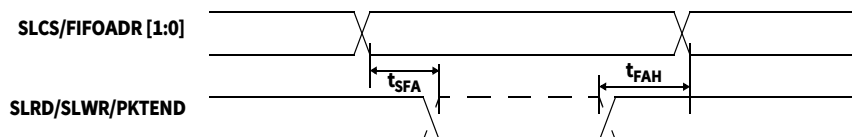


表 9-1. スレーブ FIFO 非同期アドレスのパラメータ [23]

パラメータ	内容	最小値	最大値	単位
t_{SFA}	FIFOADR[1:0] から SLRD/SLWR/PKTEND セットアップ時間	10		ns
t_{FAH}	RD/WR/PKTEND から FIFOADR[1:0] ホールド時間	10		ns

9.17 シーケンス図

9.17.1 単一およびバースト同期読み出しの例

図 9-18. スレーブ FIFO 同期読み出しシーケンスおよびタイミング図 [20]

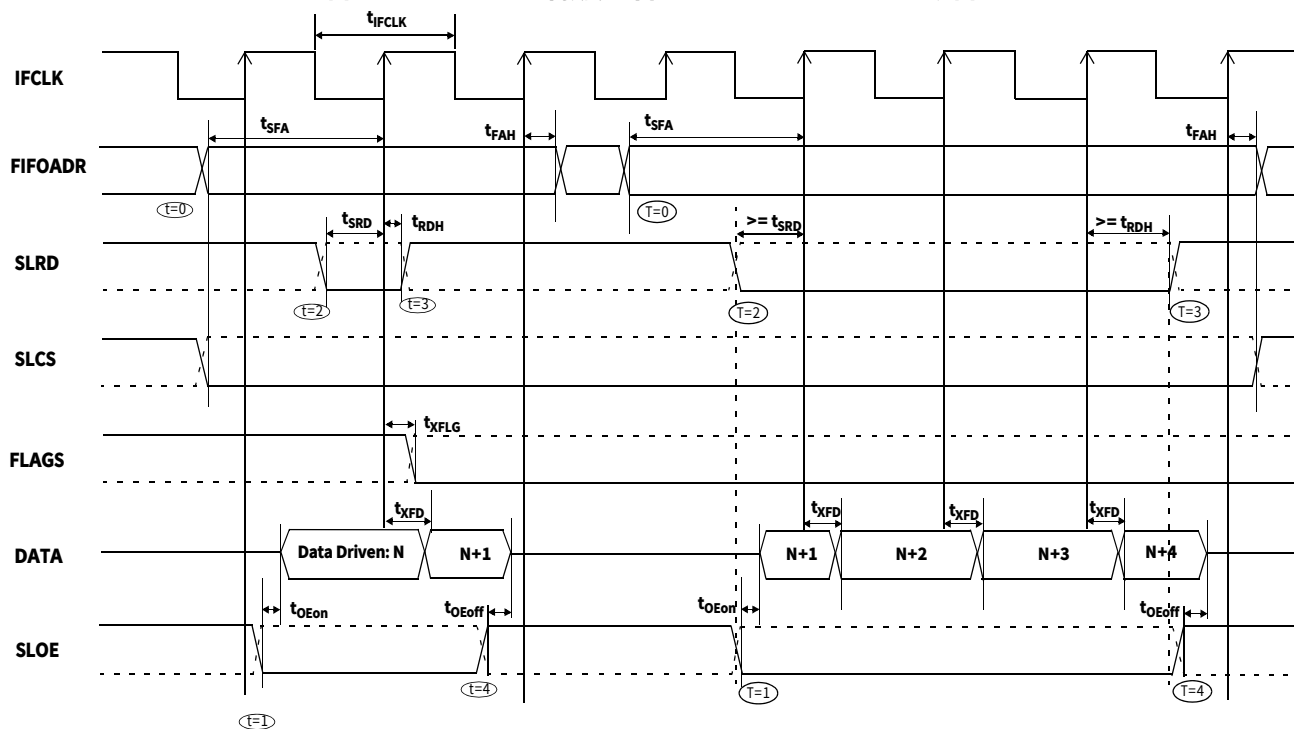
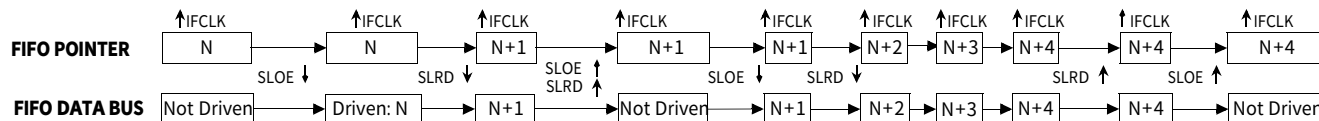


図 9-19. イベントのスレーブ FIFO 同期シーケンス図



50 ページの図 9-18 に、IFCLK を同期クロックとして使用して同期 FIFO を読み出すときの、スレーブ FIFO 信号のタイミングを示します。この図は、単一の読み出しとそれに続くバースト読み出しを示します。

- $t=0$ では、FIFO アドレスが固定し、信号 SLCS がアサートされます（一部のアプリケーションでは、SLCS は LOW に固定できます）。 t_{SFA} は、最小 25 ns です。これは、IFCLK が 48 MHz で動作する場合に、FIFO アドレスのセットアップ時間が 1 IFCLK サイクルよりも長くかかることを意味します。
- SLOE は $t=1$ でアサートされます。SLOE はデータバスの出力をインエーブルにする機能です。バスで出力されるデータは、内部 FIFO ポインタが現在ポイントしているデータです。この例では、これは FIFO 内の最初のデータ値が出力されます。注：データは、SLOE がアサートされる時にプリフェッチされ、バスで出力されます。
- $t=2$ では SLRD がアサートされます。SLRD は、セットアップ時間 t_{SRD} （SLRD 信号のアサートから IFCLK の立ち上がりエッジまでの時間）と、最小ホールド時間 t_{RDH} （IFCLK エッジから SLRD 信号のデアサートまでの時間）を考慮する必要があります。SLCS 信号を使用する場合、これは SLRD がアサートされる前にアサートする必要があります。

ります（有効な読み出し状態を開始するには、SLCS 信号と SLRD 信号の両方をアサートする必要があります）。

- FIFO ポインタは、SLRD のアサート中、IFCLK の立ち上がりエッジ時に更新されます。これによって、新しくアドレス指定された位置からデータバスへのデータの伝播が開始されます。伝播遅延 t_{XFD} （IFCLK の立ち上がりエッジから測定される）の後、新しいデータ値が存在します。N は、FIFO から読み出される最初のデータ値です。FIFO データバス上のデータを取得するには、SLOE もアサートしなければなりません。

バースト読み出しにも同じ一連のイベントが示され、 $T=0 \sim 5$ の時間インジケータでマークされています。

注：バースト モードについては、読み出し時間中は SLRD および SLOE がアサートされたままになります。バースト読み出しモードでは、SLOE がアサートされる場合、FIFO ポインタによってインデックス指定されたデータはデータバス上にあります。最初の読み出しサイクル中、クロックの立ち上がりエッジで、FIFO ポインタはアドレス $N+1$ をポイントするように更新され、インクリメントされます。その後の IFCLK の各立ち上がりエッジについては、SLRD がアサートされる間に FIFO ポインタがインクリメントされ、次のデータ値がデータバスに読み出されます。

9.17.2 単一およびバースト同期書き込み

図 9-20. スレーブ FIFO 同期書き込みシーケンスおよびタイミング図^[20]

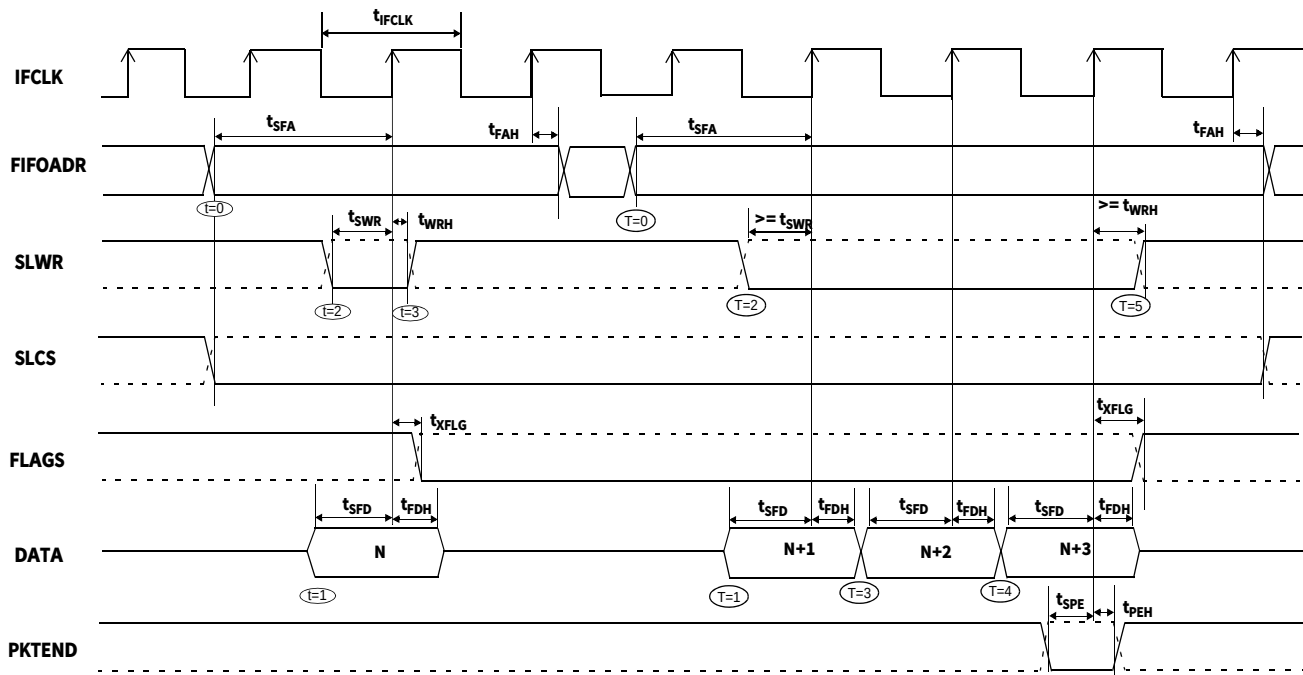


図 9-20 に、IFCLK を同期クロックとして使用した同期書き込み中の、スレーブ FIFO 信号のタイミングを示します。この図は、単一の書き込みとそれに続く、3 バイトのバースト書き込み、および PKTEND ピンを使用したショート パケットとしての 4 バイトすべての割り当てを示しています。

- $t=0$ で FIFO アドレスが固定し、信号 SLCS がアサートされます (一部のアプリケーションでは、SLCS は LOW に固定できます)。 t_{SFA} は、最小 25 ns です。これは、IFCLK が 48 MHz で動作する場合に、FIFO アドレスのセットアップ時間が 1 IFCLK サイクルよりも長くかかることを意味します。
- $t=1$ では、外部マスタ/周辺デバイスは、IFCLK の立ち上がりエッジ前に、最小セットアップ時間 t_{SFD} を満たしてデータバスにデータ値を出力する必要があります。
- $t=2$ では SLWR がアサートされます。SLWR は、セットアップ時間 t_{SWR} (SLWR 信号のアサートから IFCLK の立ち上がりエッジまでの時間) と、最小ホールド時間 t_{WRH} (IFCLK エッジから SLWR 信号のデアサートまでの時間) を考慮する必要があります。SLCS 信号を使用する場合、SLWR 信号と同時にしくは SLWR がアサートされるよりも前に SLCS 信号をアサートする必要があります (有効な書き込み状態を開始するには、SLCS 信号と SLWR 信号の両方をアサートする必要があります)。
- SLWR がアサートされている間、データは FIFO に書き込まれ、IFCLK の立ち上がりエッジ時に FIFO ポインタがインクリメントされます。FIFO フラグもクロックの立ち上がりエッジからの遅延 t_{XFLG} 後に更新されます。

バースト書き込みにも同じ一連のイベントが示され、 $T=0 \sim 5$ の時間インジケータでマークされています。

注：バーストモードについては、すべての必須データ値の書き込み中は SLWR および SLCS がアサートされたままとなります。このバースト

書き込みモードでは、SLWR がアサートされた後、IFCLK の立ち上がりエッジごとに FIFO データバス上のデータが FIFO に書き込まれます。FIFO ポインタは IFCLK の立ち上がりエッジごとに更新されます。図 9-20 では、FIFO に 4 バイトが書き込まれた後、SLWR がデアサートされます。PKTEND 信号をアサートすることで 4 バイトのショート パケットをホストに割り当てることができます。

SLWR 信号のアサートに関して PKTEND 信号をアサートするために満たさなければならない特定のタイミング要件はありません。PKTEND は最後のデータ値以降でアサートできます。唯一の要件とは、セットアップ時間 t_{SPE} およびホールド時間 t_{PEH} を満たさなければならないということです。図 9-20 のシナリオでは、割り当てられるデータ値の数には、FIFO に書き込まれる最後の値も含まれます。この例では、データ値と PKTEND 信号の両方が IFCLK の同じ立ち上がりエッジでクロックされています。PKTEND は後続のクロック サイクルでもアサートできます。FIFOADDR ラインは、PKTEND アサート中は一定に保たれます。

PKTEND アサートについては特定のタイミング要件はありませんが、PKTEND を使用して 1 バイト/ワードの packets を割り当てる間には注意が必要な特定のコーナー ケース条件があります。自動モードで動作するように FIFO を構成している場合は、2 つの packets を送信するために必要となる追加のタイミング要件があります。つまり PKTEND ピンを使用して手動で割り当てられた短い 1 バイトまたは 1 ワードの packets が続く、自動的に割り当てられたフル packets (フルとは、AUTOINLEN レジスタに設定されたレベルを満たす FIFO のバイト数) です。

この場合、外部のマスタは、前回の自動割り当て packets (AUTOINLEN レジスタに設定されているバイト数と同じバイト数を持つ packets) にクロックする必要のある最終バイト/ワードを発生させた立ち上がりエッジの後、少なくとも 1 クロック サイクルで PKTEND ピンをアサートしなければなりません。このタイミングの詳細については、48 ページの図 9-12 を参照してください。

9.17.3 単一およびバースト非同期読み出しのシーケンス図

図 9-21. スレーブ FIFO 非同期読み出しシーケンスおよびタイミング図 [20]

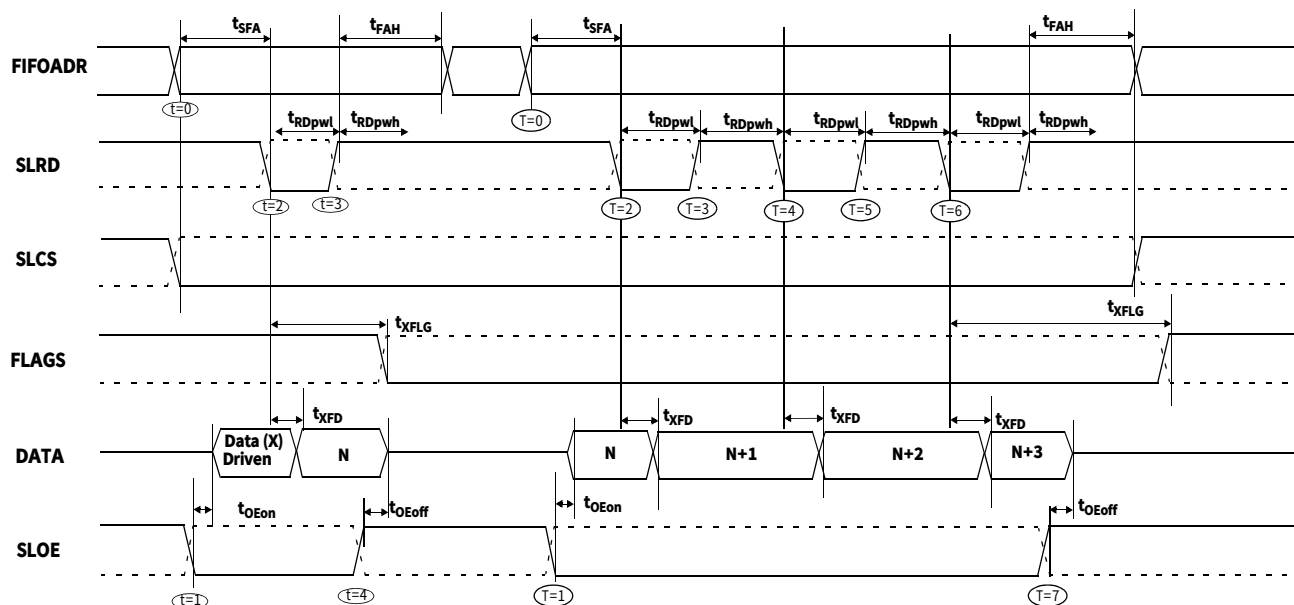


図 9-22. イベントのスレーブ FIFO 非同期読み出しシーケンス図

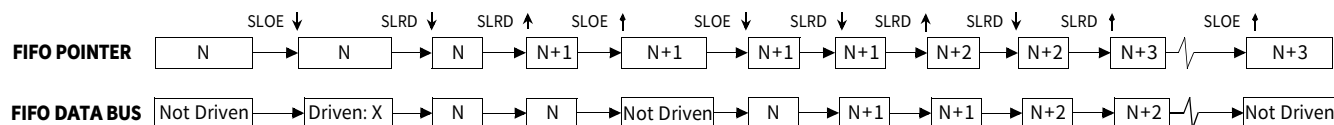


図 9-21 に、非同期の FIFO 読み出し中の、スレーブ FIFO 信号のタイミングを示します。これは単一の読み出しとそれに続くバースト読み出しを示しています。

- $t=0$ で FIFO アドレスが固定し、SLCS 信号がアサートされます。
- SLOE は $t=1$ でアサートされます。これによってデータバスが駆動されます。バスに出力されるデータは、以前のデータで、以前の読み出しサイクルからの FIFO 内にあったデータです。
- $t=2$ では SLRD がアサートされます。SLRD は、最小アクティブパルス t_{RDpwl} および最小非アクティブパルス幅 t_{RDpwh} を満たさなければなりません。SLCS が使用される場合、SLCS は SLRD がアサートされる前にアサートする必要があります（有効な読み出し状態を開始するには、SLCS 信号と SLRD 信号の両方をアサートする必要があります）。

■ SLRDのアサート後に出力されるデータはFIFOから更新されたデータです。このデータは、SLRDのエッジのアクティブ化からの伝播遅延 $t_{\text{XF}}D$ 後に有効となります。図 9-21 のデータ N は、FIFO から読み出される最初の有効データです。読み出しサイクル（SLRD がアサートされる）中にデータバスにデータが現れるようにするには、SLOE がアサートされた状態でなければなりません。SLRD と SLOE は結合することもできます。

同じ一連のイベントがバースト読み出しについても示され、 $T = 0 \sim 5$ でマークされています。

注: パースト読み出しモードでは、SLOE がアサートされている間、データバスは駆動状態にあり、以前のデータを出力します。SLRD がアサートされた後、FIFO からのデータはデータバスに出力され（SLOE もアサートされなければなりません）、FIFO ポインタがインクリメントされます。

9.17.4 単一およびバースト非同期書き込みのシーケンス図

図 9-23. スレーブ FIFO 非同期書き込みシーケンスおよびタイミング図 [20]

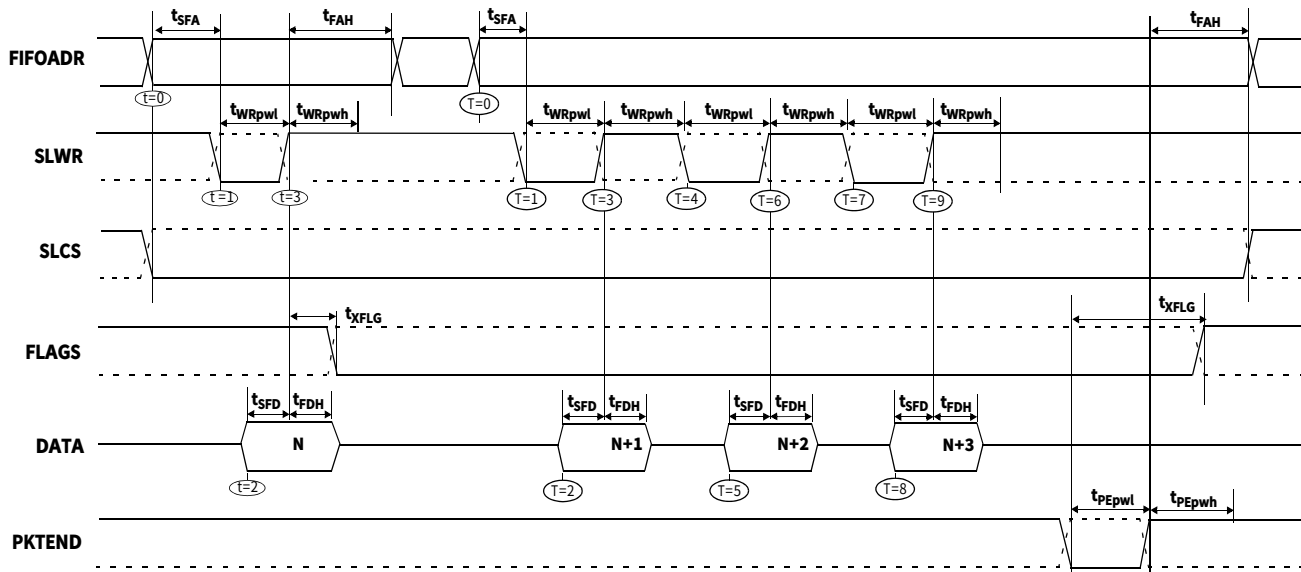


図 9-23 に、非同期モードでの、スレーブ FIFO 書き込みのタイミングを示します。この図は、単一の書き込みとそれに続く 3 バイトのバースト書き込み、および PKTEND を使用した 4 バイトのショート パケットの割り当てを示しています。

- $t=0$ で FIFO アドレスが指定されますが、この場合セットアップ時間 t_{SFA} 要件を考慮する必要があります。SLCS が使用される場合、これもアサートする必要があります（一部のアプリケーションでは、SLCS は LOW に固定できます）。
- $t=1$ で SLWR がアサートされます。SLWR は、最小アクティブパルス t_{WRpwl} および最小非アクティブパルス幅 t_{WRpwh} を満たさなければなりません。SSLCS 信号を使用する場合、SLWR 信号と同時にしくは SLWR がアサートされるよりも前に SLCS 信号をアサートする必要があります。
- $t=2$ で、データは SLWR のエッジをデアサートする前にバス t_{SFD} に存在しなければなりません。

- $t=3$ で、SLWR のデアサートによってデータがデータバスから FIFO に書き込まれ、FIFO ポインタがインクリメントされます。FIFO フラグは、SLWR のエッジのデアサートから t_{XFLG} の後も更新されません。

バースト書き込みにも同じ一連のイベントが示され、 $T=0 \sim 5$ のタイミングマークで示されています。

注: バースト書き込みモードでは、SLWR がデアサートされた後、データが FIFO に書き込まれ、FIFO ポインタが FIFO の次のバイトまでインクリメントされます。FIFO ポインタはポストインクリメントされます。

図 9-23 では、4 バイトが FIFO に書き込まれて SLWR がデアサートされた後、PKTEND を使用して 4 バイトのショート パケットをホストに割り当てることができます。外部デバイスは、SLWR と PKTEND 信号を同時にアサートしないように設計する必要があります。SLWR がデアサートされた後で PKTEND がアサートされ、デアサートされるパルスの最小幅を満たすように設計する必要があります。FIFOADDR ラインは、PKTEND アサート中は一定に保たれなければなりません。

10. オーダ情報

表 10-1. オーダ情報

注文コード	パッケージタイプ	RAM サイズ	# Prog I/O	8051 アドレス/ データバス	シリアル デバッグ ^[24]
電池式アプリケーションに最適					
CY7C68014A-128AXC	128 TQFP - 鉛フリー	16K	40	16/8 ビット	Y
CY7C68014A-100AXC	100 TQFP - 鉛フリー	16K	40	－	Y
CY7C68014A-56PVXC	56 SSOP - 鉛フリー	16K	24	－	N
CY7C68014A-56LFXC	56 QFN - 鉛フリー	16K	24	－	N
CY7C68014A-56BAXC	56 VFBGA - 鉛フリー	16K	24	－	N
CY7C68014A-56LTXC	56 QFN - 鉛フリー	16K	24	－	N
CY7C68016A-56LFXC	56 QFN - 鉛フリー	16K	26	－	N
CY7C68016A-56LTXC	56 QFN - 鉛フリー	16K	26	－	N
CY7C68016A-56LTXCT	56 QFN - 鉛フリー	16K	26	－	N
非電池式アプリケーションに最適					
CY7C68013A-128AXC	128 TQFP - 鉛フリー	16K	40	16/8 ビット	Y
CY7C68013A-128AXI	128 TQFP - 鉛フリー（工業用）	16K	40	16/8 ビット	Y
CY7C68013A-100AXC	100 TQFP - 鉛フリー	16K	40	－	Y
CY7C68013A-100AXI	100 TQFP - 鉛フリー（工業用）	16K	40	－	Y
CY7C68013A-56PVXC	56 SSOP - 鉛フリー	16K	24	－	N
CY7C68013A-56PVXI	56 SSOP - 鉛フリー（工業用）	16K	24	－	N
CY7C68013A-56LFXC	56 QFN - 鉛フリー	16K	24	－	N
CY7C68013A-56LFXI	56 QFN - 鉛フリー（工業用）	16K	24	－	N
CY7C68013A-56BAXC	56 VFBGA - 鉛フリー	16K	24	－	N
CY7C68013A-56LTXC	56 QFN - 鉛フリー	16K	24	－	N
CY7C68013A-56LTXCT	56 QFN - 鉛フリー	16K	24	－	N
CY7C68013A-56LTXI	56 QFN - 鉛フリー（工業用）	16K	24	－	N
CY7C68015A-56LFXC	56 QFN - 鉛フリー	16K	26	－	N
CY7C68015A-56LTXC	56 QFN - 鉛フリー	16K	26	－	N
開発ツールキット					
CY3684	EZ-USB FX2LP 開発キット				
リファレンス デザインキット					
CY4611B	EZ-USB FX2LP を使用した USB2.0 から ATA/ATAPI へのリファレンス デザイン				

注:

24. UART は、CY7C68013A の 56 ピン パッケージでは使用できないため、Keil Monitor を使用したシリアル ポートのデバッグには対応していません。

11. パッケージ図

FX2LP は、次の 5 つのパッケージのラインナップがあります。

- 56 ピン SSOP
- 56 ピン QFN
- 100 ピン TQFP
- 128 ピン TQFP
- 56 ボール VFBGA

図 11-1. 56 ピン SSOP (Shrunk Small Outline Package) O56 (51-85062)

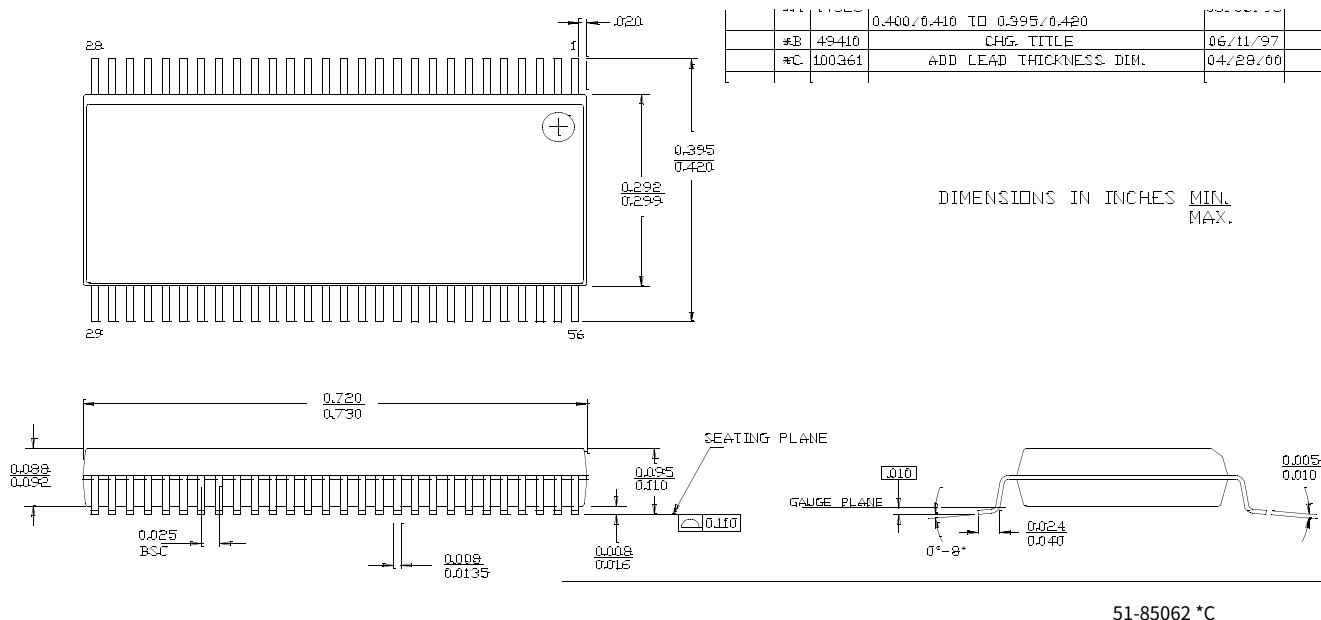
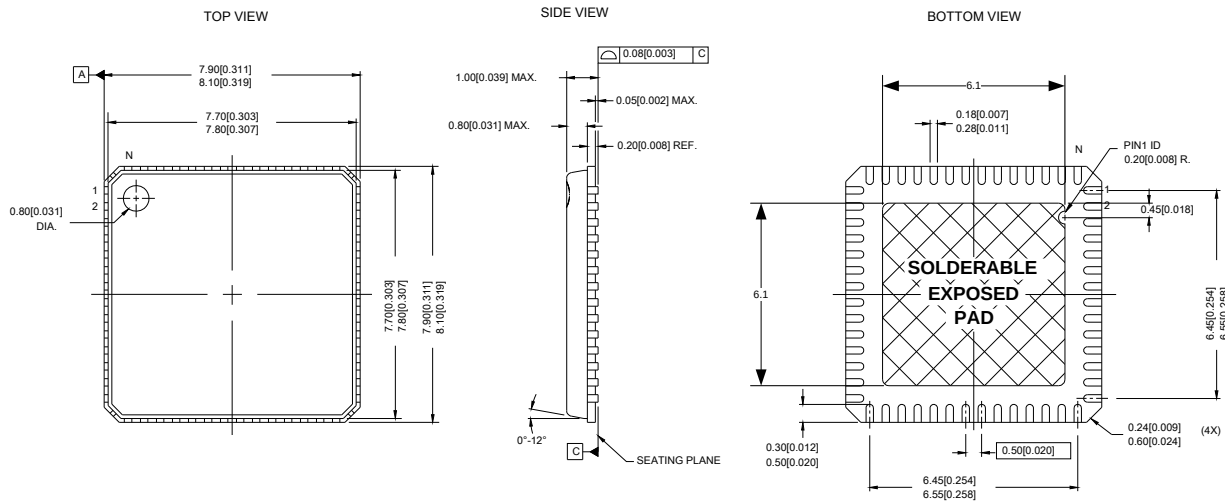


図 11-2. 56 ピン QFN 8 x 8 mm LF56A (51-85144)



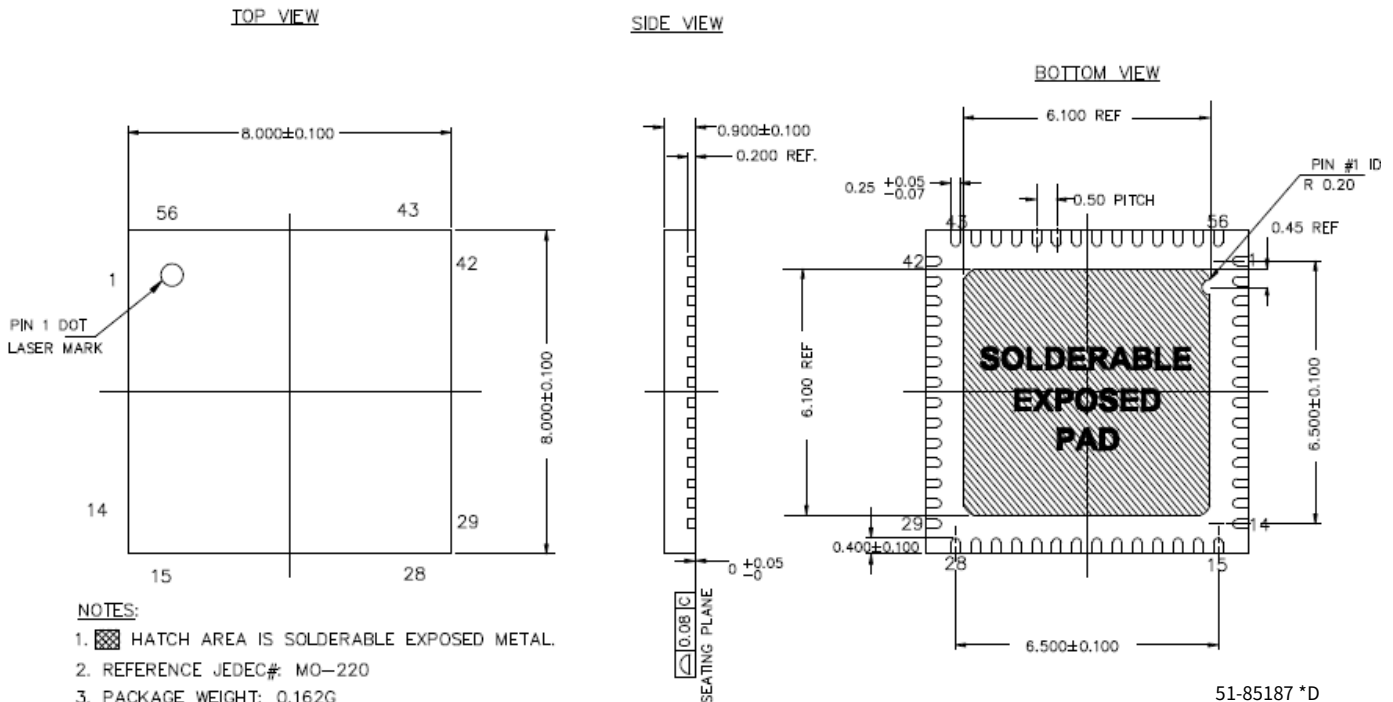
NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 0.162g
4. ALL DIMENSIONS ARE IN MM [MIN/MAX]
5. PACKAGE CODE

PART #	DESCRIPTION
LF56	STANDARD
LY56	PB-FREE

51-85144-G

図 11-3. 56 ピン QFN 8 x 8 mm Sawn バージョン (51-85187)



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 0.162G
4. ALL DIMENSIONS ARE IN MILLIMETERS

51-85187 *D

図 11-4. 100 ピン TPQF (Thin Plastic Quad Flatpack) (14 x 20 x 1.4 mm) A100RA (51-85050)

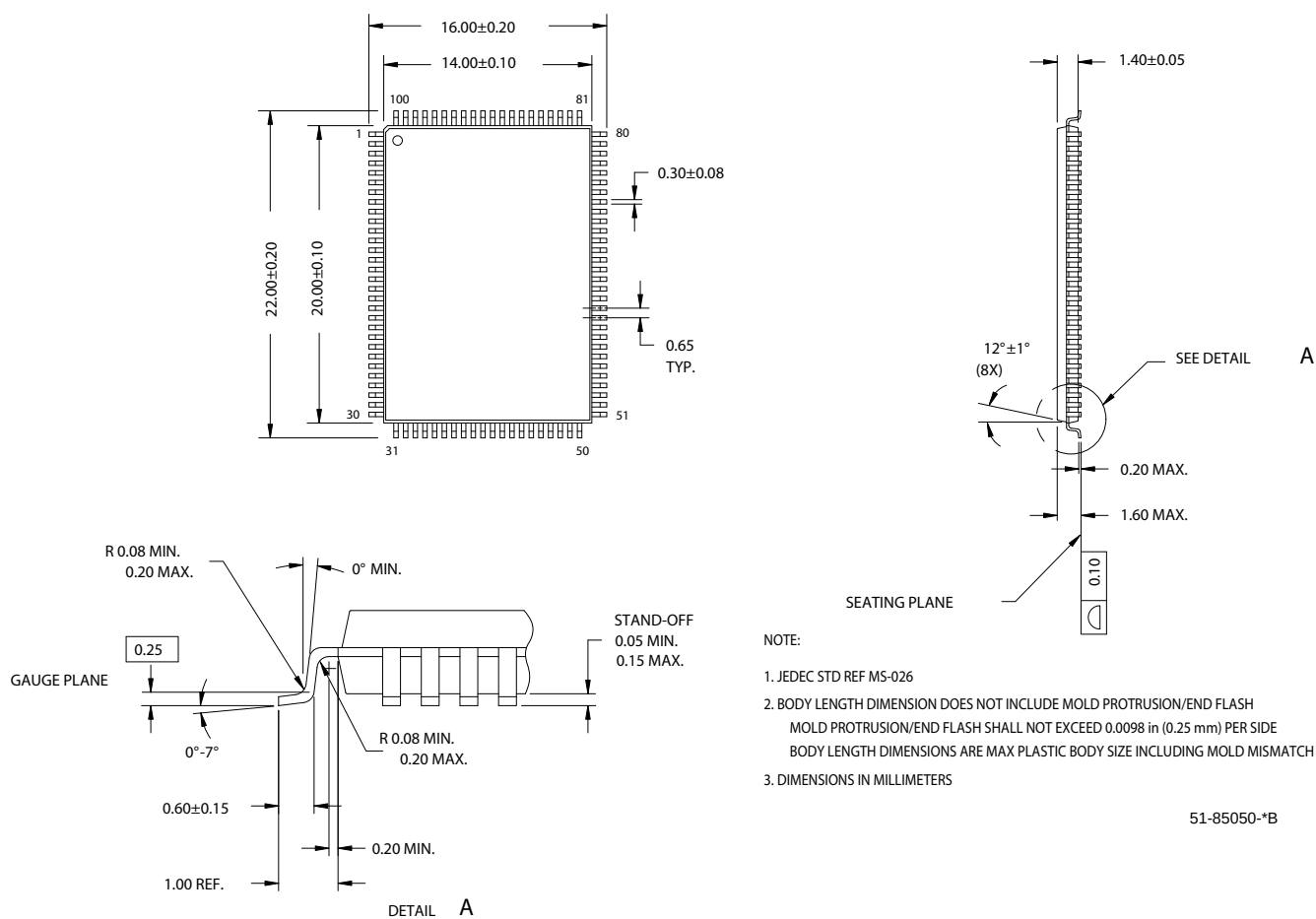


図 11-5. 128 ピン TPQF (Thin Plastic Quad Flatpack) (14 x 20 x 1.4 mm) A128 (51-85101)

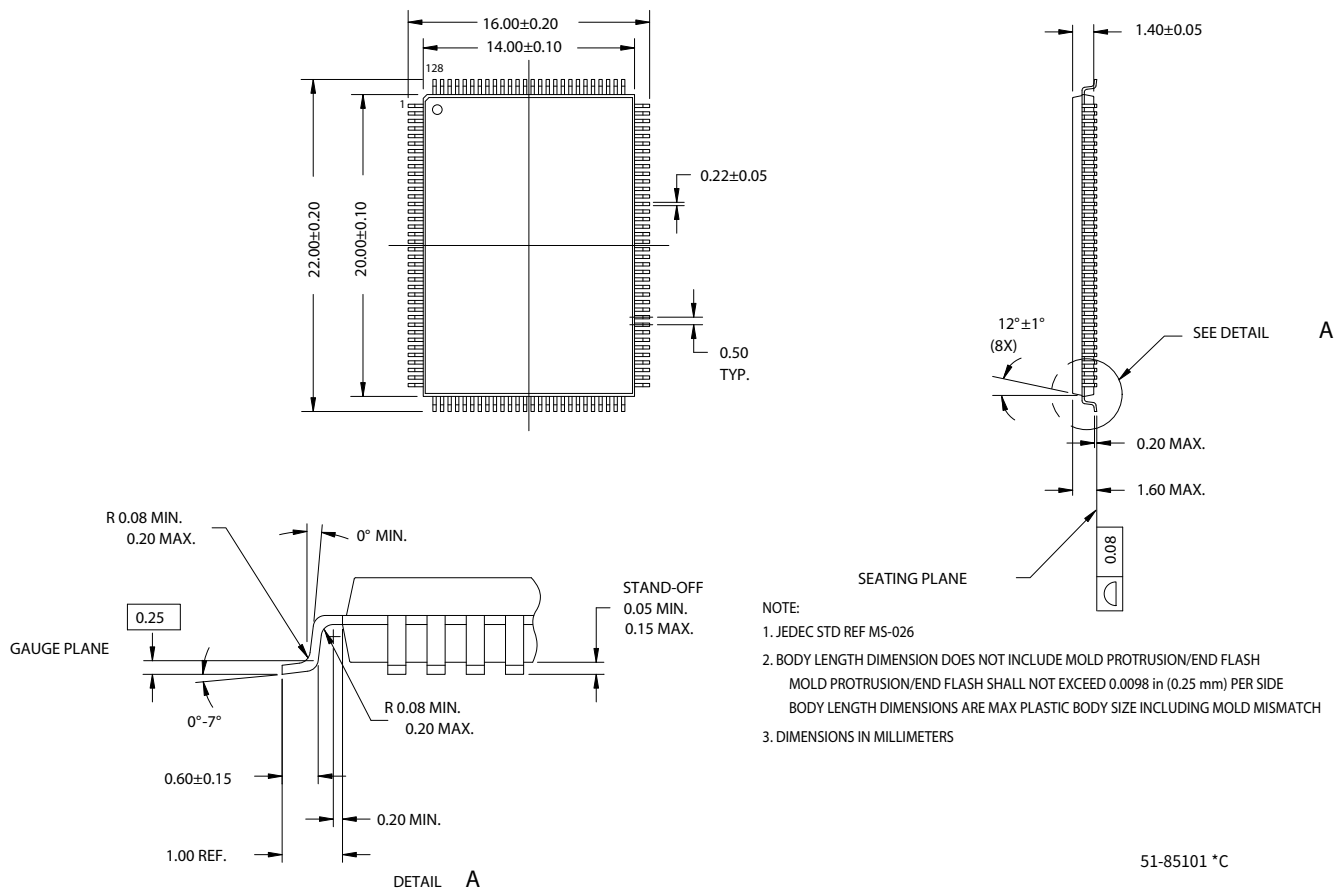
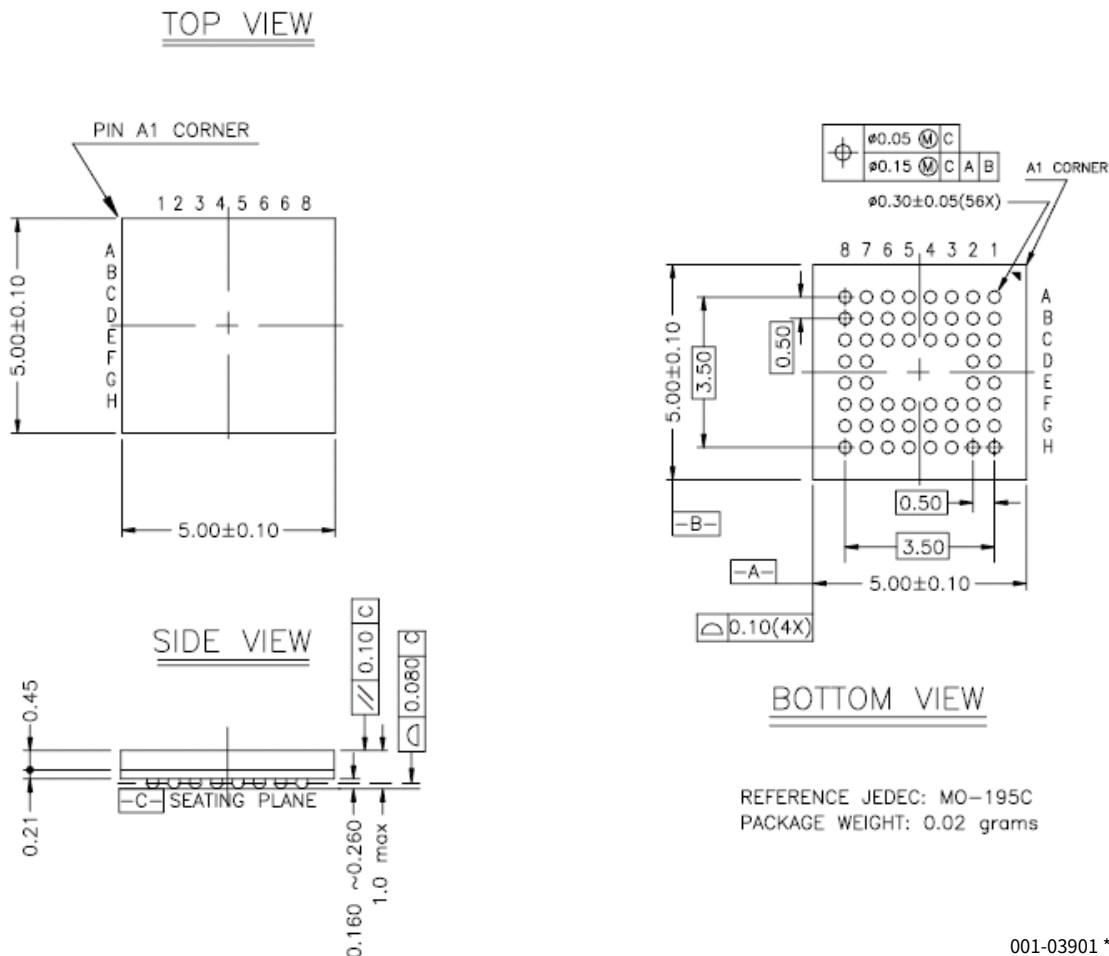


図 11-6. 56 ピン VFBGA (5 x 5 x 1.0 mm) 0.50 ピッチ、0.30 Ball BZ56 (001-03901)



001-03901 *C

12. PCB レイアウトの推奨事項

以下の推奨事項に従って、高信頼、高性能な動作を実現してください。
[25]

- 信号の品質を保持するには、4 層インピーダンス制御基板が必要です。
- インピーダンスの対象を指定してください（基板のベンダに何が可能かを尋ねてください）。
- インピーダンスを制御するには、トレースの幅とトレースの間隔を維持してください。
- 信号反射を最小化するため、スタブを最小限にしてください。
- USB コネクタシェルと信号用グランドとの間の接続は USB コネクタの近くにする必要があります。

- コネクタ近くの VBus でのバイパス／フライバックキャパシタをお勧めします。
- DPLUS および DMINUS トレース長は、互いに 2 mm 以内を保持します。推奨される長さは、20 ~ 30 mm です。
- DPLUS トレースおよび DMINUS トレースでは、固定されたグランド平面を保持してください。これらのトレースで面が分割されないようにしてください。
- DPLUS または DMINUS トレースルーティングではバイアスを設定しないでください。
- DPLUS と DMINUS トレースは、他のすべての信号トレースから 10 mm 以上離してください。

注:

25. 推奨事項の出典: 『EZ-USB FX2™ PCB Design Recommendations』、<http://www.cypress.com> および 『High Speed USB Platform Design Guidelines』
(http://www.usb.org/developers/docs/hs_usb_pdg_r1_0.pdf)。

13. クアッドフラット リードなし (QFN) パッケージ設計に関する注記

プリント基板 (PCB) への部品の電気接点は、パッケージの底面上のリードを PCB にはんだ付けすることで行われます。したがって、プリント基板で良好な熱結合が行われるようにパッケージの底面の伝熱面に特別な配慮が必要です。パッケージの熱パッドとして PCB に充填する銅 (Cu) を設計してください。熱は、FX2LP からパッケージの底面にあるデバイスの金属パドルに伝わり、ここから熱は熱パッドで PCB に伝導されます。次に、熱パッドから 5x5 アレイのビアによって PCB のグランド平面の内側に伝導されます。ビアとは、PCB のめっきスルーホールで、仕上外径は 13 mil です。QFN の金属ダイパドルは PCB の熱パッド上にはんだ付けする必要があります。はんだがビアに流れ込まないように各ビアの上、基板の上面にはんだマスクが配置されます。また、上面のマスクは、はんだリフロプロセス中のガス放出を最小限に抑えます。

このパッケージ設計の詳細は、Amkor の MicroLeadFrame (MLF) パッケージの表面実装アセンブリに関するアプリケーション ノートを参照してください。これは Amkor の Web サイト (<http://www.amkor.com>) でご覧いただけます。

アプリケーション ノートには、基板実装のガイドライン、はんだフロー、再設計プロセスなどの詳細が記載されています。

図 13-1 に、パッケージ下部の断面図を示します。断面は 1 つのビアだけのものです。はんだペースト テンプレートは、はんだ範囲が少なくとも 50% となるように設計する必要があります。はんだペースト テンプレートの厚みは 5 mil とする必要があります。部品を実装するためには No Clean タイプ 3 はんだペーストを使用してください。リフロ工程では、窒素バージを行うことをお勧めします。

図 13-2 は、はんだマスク パターンのプロットであり、図 13-3 はアセンブリの X 線画像を示しています。

図 13-1. QFN パッケージ下の領域の断面図

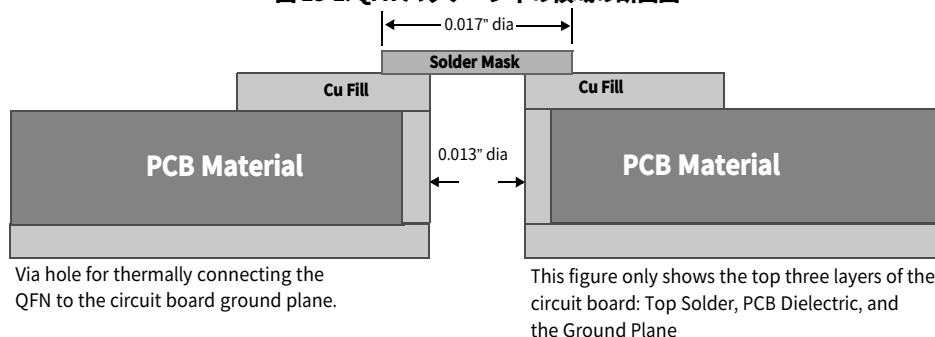


図 13-2. はんだマスクのプロット (白い領域)

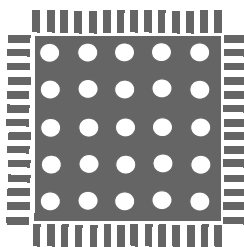
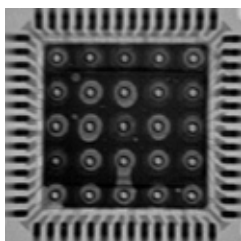


図 13-3. アセンブリの X 線画像



14. 改訂履歴

Document Title: CY7C68013A, CY7C68014A, CY7C68015A, CY7C68016A, EZ-USB FX2LP™ USB Microcontroller High Speed USB Peripheral Controller Document Number: 001-63322				
Rev.	ECN No.	Orig. of Change	Submission Date	Description of Change
**	2966796	VED	07/30/2010	New datasheet

15. セールス、ソリューション、および法律情報

15.1 世界中にわたるセールスおよびデザイン サポート

サイプレスは、オフィス、ソリューション センタ、メーカ代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスの Web サイト www.cypress.com/sales をご覧ください。

15.2 製品

PSoC	psoc.cypress.com
クロックおよびバッファ	clocks.cypress.com
ワイヤレス	wireless.cypress.com
メモリ	memory.cypress.com
イメージ センサ	image.cypress.com

© Cypress Semiconductor Corporation (サイプレス セミコンダクタ コーポレーション)、2010。本文書に記載される情報は、事前の予告なく変更されることがあります。サイプレス セミコンダクタ コーポレーションは、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。かつ、サイプレス セミコンダクタ コーポレーションは、特許またはその他の権利に基づくライセンスを譲渡することも、又は含意することはありません。サイプレス製品は、サイプレスとの書面による明示的な合意に基づくものではない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される、生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™、Programmable System-on-Chip™、および PSoC Creator™ はサイプレス セミコンダクタ コーポレーションの商標であり、PSoC® は、サイプレス セミコンダクタ コーポレーションの登録商標です。本文書で言及するその他全ての商標または登録商標は、各社の所有物です。

全てのソースコード(ソフトウェアおよび/またはファームウェア)はサイプレス セミコンダクタ コーポレーション(以下サイプレス)が所有し、全世界の特許権保護(米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止されます。

免責事項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。