

- 低電源電圧範囲 : 1.8 V ~ 3.6 V
- 超低消費電力 :
 - アクティブ・モード : 280 μ A (1 MHz, 2.2 V)
 - スタンバイ・モード : 1.6 μ A
 - オフ・モード (RAM データ保持) : 0.1 μ A
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェークアップは 6 μ s 以下
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 12 ビット A/D コンバータ (内部基準電圧、サンプル&ホールド、オートスキャン機能付き)
- 16 ビット タイマ_B (7 つのキャプチャ/コンペア、シャドウ・レジスタ付き)
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- オンチップ・コンパレータ
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- シリアル・コミュニケーション・インタフェース (USART)、非同期 UART 又は同期 SPI インタフェースとして機能
 - 2 つの USART (USART0, USART1) - MSP430x14x(1) デバイス
 - 1 つの USART (USART0) - MSP430x13x デバイス
- 製品ファミリ :
 - MSP430F133 :
 - 8KB + 256B フラッシュ・メモリ、256B RAM
 - MSP430F135 :
 - 16KB + 256B フラッシュ・メモリ、512B RAM
 - MSP430F147, MSP430F1471 + :
 - 32KB + 256B フラッシュ・メモリ、1KB RAM
 - MSP430F148, MSP430F1481 + :
 - 48KB + 256B フラッシュ・メモリ、2KB RAM
 - MSP430F149, MSP430F1491 + :
 - 60KB + 256B フラッシュ・メモリ、2KB RAM
- 64 ピン QFP 及び 64 ピン QFN パッケージ
- モジュールの詳細は、MSP430x1xx ファミリ ユーザーズ・ガイド 資料番号 SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。
 - + MSP430F14x1 デバイスは、ADC12 モジュールが搭載されていないこと以外は、MSP430F14x デバイスと同一です。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430x13x 及び MSP430x14x(1) シリーズは、2 つの 16 ビット タイマ、高速 12 ビット A/D コンバータ (MSP430F14x1 デバイスには搭載されていません)、1 つ又は 2 つの USART、及び 48 I/O 端子で構成されたミックスド・シグナル・マイクロコントローラです。

標準的なアプリケーションとしては、アナログ信号を捕獲し、デジタル値に変換し、データを処理してホスト・システムに送信するセンサ・システムがあります。タイマにより、リップル・カウンタ、デジタル・モータ・コントロール、EE メータ、ハンド・ヘルド・メータ等のような工業用制御アプリケーションに理想的な構成となります。ハードウェア・マルチプライヤにより性能が強化され、広範囲なコード及びハードウェア・コンパチブルな製品ファミリ・ソリューションを提供します。



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



著作権 © 2005 日本テキサス・インスツルメンツ株式会社

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

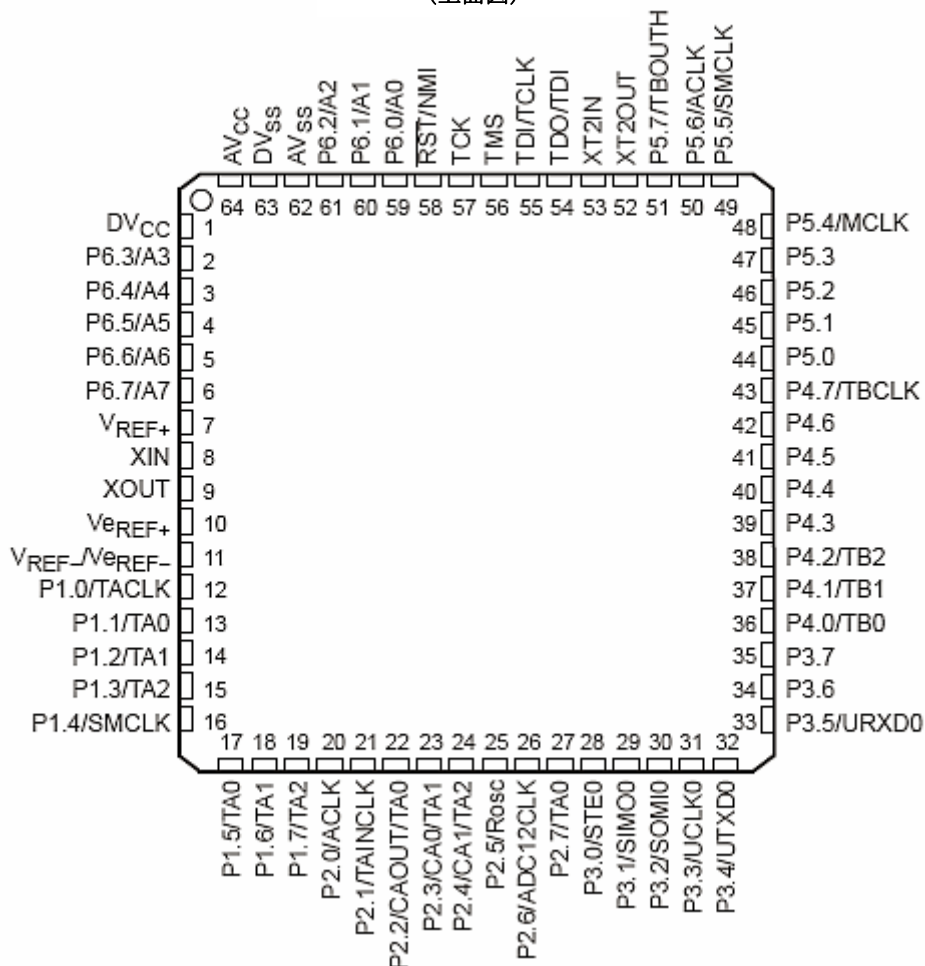
SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

製品オプション

T _A	パッケージ・デバイス		
	プラスチック 64 ピン QFP (PM)	プラスチック 64 ピン QFP (PAG)	プラスチック 64 ピン QFN (RTD)
-40°C~85°C	MSP430F133IPM MSP430F135IPM MSP430F147IPM MSP430F1471IPM MSP430F148IPM MSP430F1481IPM MSP430F149IPM MSP430F1491IPM	MSP430F133IPAG MSP430F135IPAG MSP430F147IPAG MSP430F148IPAG MSP430F149IPAG	MSP430F133IRTD MSP430F135IRTD MSP430F147IRTD MSP430F1471IRTD MSP430F148IRTD MSP430F1481IRTD MSP430F149IRTD MSP430F1491IRTD

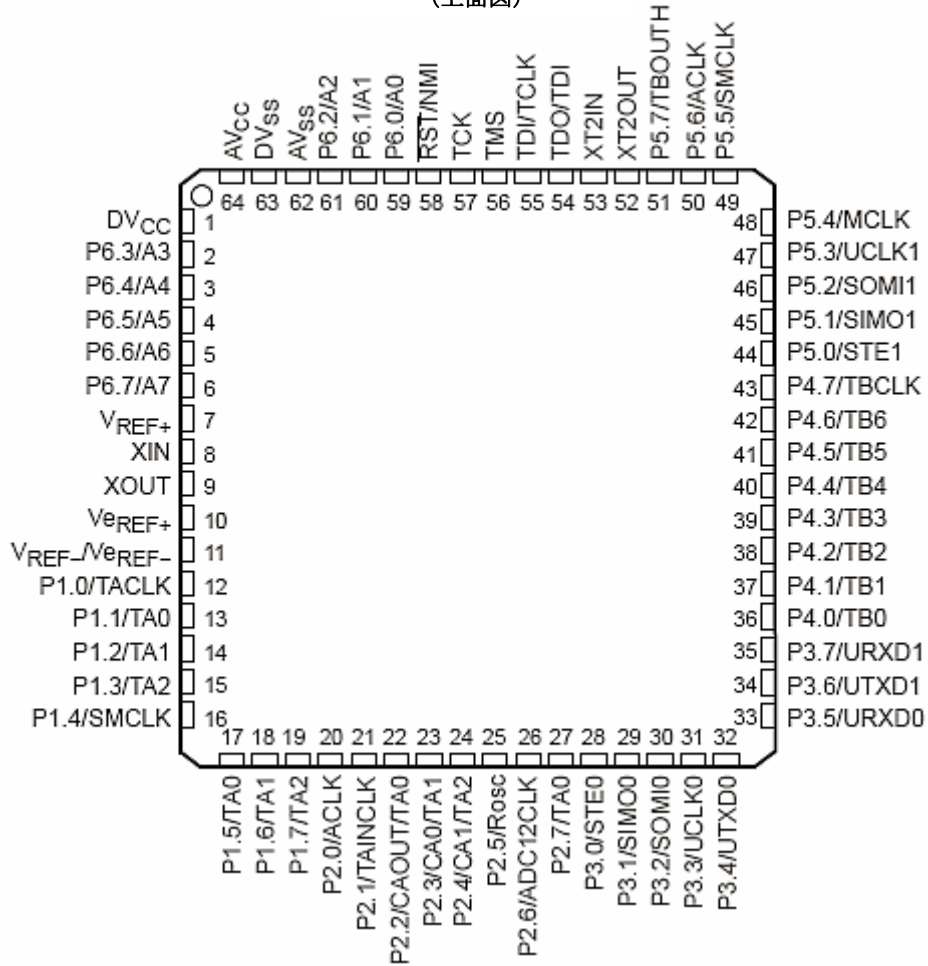
ピン配置 MSP430F133、MSP430F135

PM、PAG、RTD パッケージ
 (上面図)



ピン配置 MSP430F147、MSP430F148、MSP430F149

PM、PAG、RTD パッケージ
 (上面図)

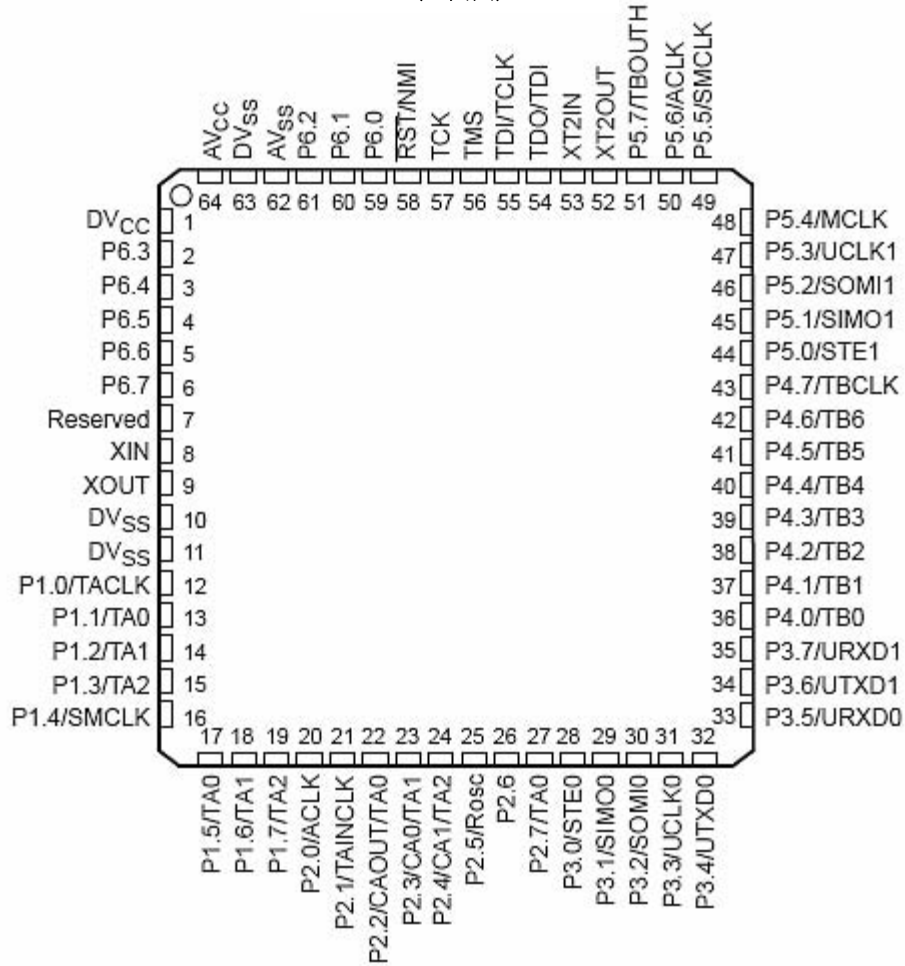


MSP430x13x, MSP430x14x, MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

ピン配置 MSP430F1471, MSP430F1481, MSP430F1491

PM, PAG, RTD パッケージ
 (上面図)

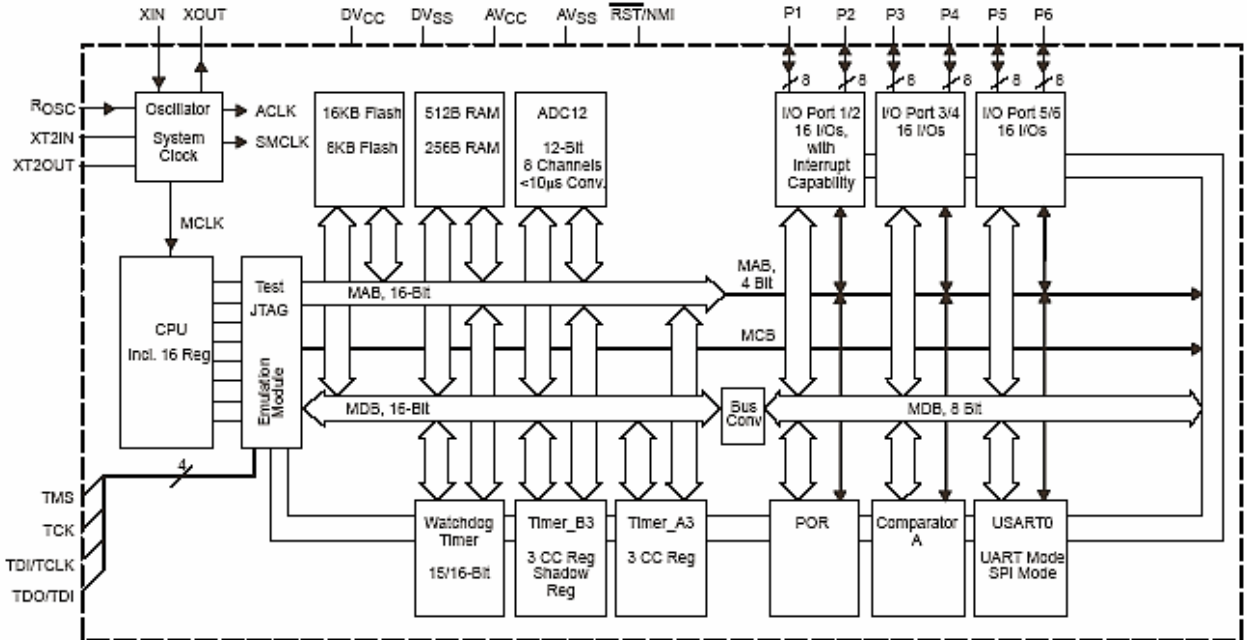


MSP430x13x, MSP430x14x, MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

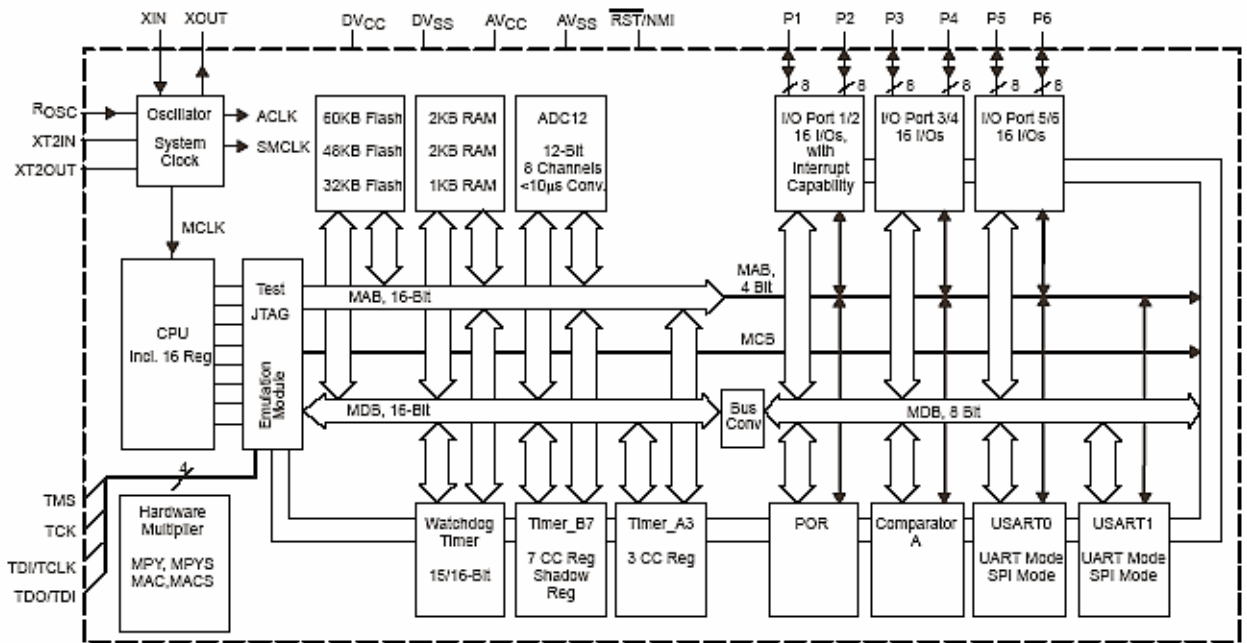
SLAS445A - 2005年4月 - 2005年5月改定

機能ブロック図

MSP430x13x



MSP430x14x

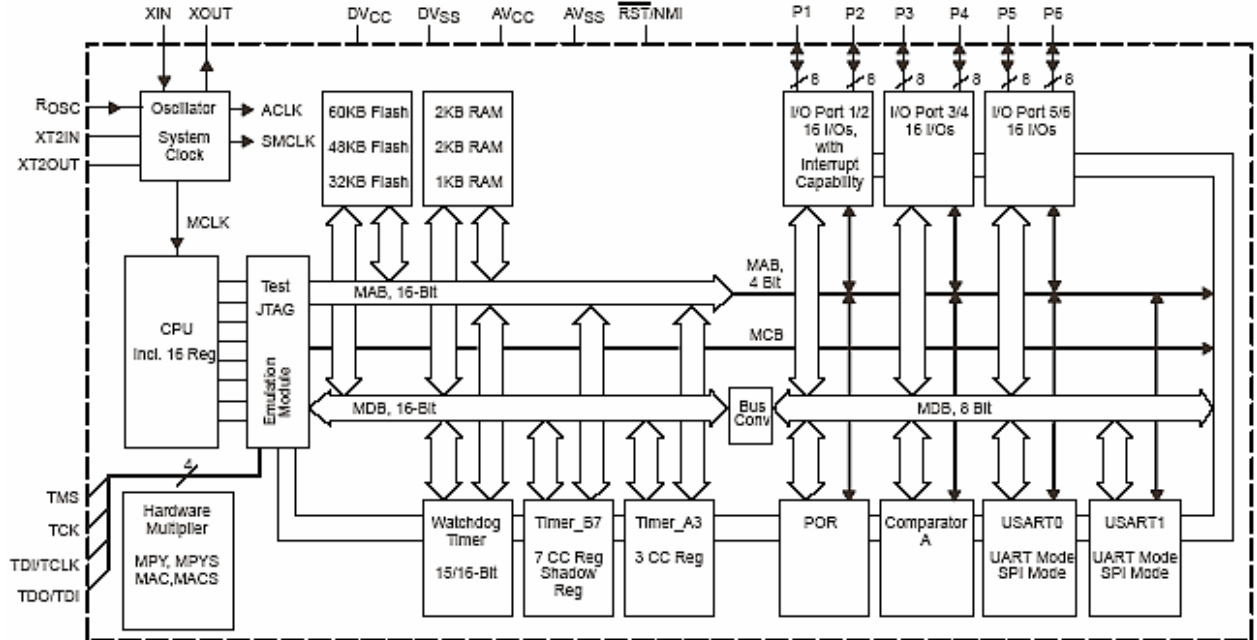


MSP430x13x, MSP430x14x, MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005年4月 - 2005年5月改定

機能ブロック図

MSP430x14x1



端子機能表

MSP430x13x, MSP430x14x

端子		I/O	機能
名前	番号		
AV _{CC}	64		アナログ電源、正端子。A/D コンバータのアナログ部分に電源を供給します。
AV _{SS}	62		アナログ電源、負端子。A/D コンバータのアナログ部分に電源を供給します。
DV _{CC}	1		デジタル電源、正端子。すべてのデジタル部分に電源を供給します。
DV _{SS}	63		デジタル電源、負端子。すべてのデジタル部分に電源を供給します。
P1.0/TACLK	12	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	13	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	14	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	15	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK	16	I/O	汎用デジタル I/O / SMCLK 信号出力
P1.5/TA0	17	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力
P1.6/TA1	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力
P1.7/TA2	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力
P2.0/ACLK	20	I/O	汎用デジタル I/O / ACLK 出力
P2.1/TAINCLK	21	I/O	汎用デジタル I/O / タイマ_A、クロック信号 INCLK
P2.2/CAOUT/TA0	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信
P2.3/CA0/TA1	23	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力
P2.4/CA1/TA2	24	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力
P2.5/R _{osc}	25	I/O	汎用デジタル I/O / DCO 公称周波数を決める外部抵抗入力
P2.6/ADC12CLK	26	I/O	汎用デジタル I/O / 変換クロック - 12 ビット ADC
P2.7/TA0	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力
P3.0/STE0	28	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード
P3.1/SIM00	29	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ入力 / マスタ出力
P3.2/SOMI0	30	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ出力 / マスタ入力
P3.3/UCLK0	31	I/O	汎用デジタル I/O / USART0 クロック:外部入力 - UART 又は SPI モード、出力 - SPI モード
P3.4/UTXD0	32	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P3.5/URXD0	33	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P3.6/UTXD1 †	34	I/O	汎用デジタル I/O / 送信データ出力 - USART1/UART モード
P3.7/URXD1 †	35	I/O	汎用デジタル I/O / 受信データ入力 - USART1/UART モード
P4.0/TB0	36	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI0A 又は CCI0B 入力、コンペア: Out0 出力
P4.1/TB1	37	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI1A 又は CCI1B 入力、コンペア: Out1 出力
P4.2/TB2	38	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI2A 又は CCI2B 入力、コンペア: Out2 出力
P4.3/TB3 †	39	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI3A 又は CCI3B 入力、コンペア: Out3 出力
P4.4/TB4 †	40	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI4A 又は CCI4B 入力、コンペア: Out4 出力
P4.5/TB5 †	41	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI5A 又は CCI5B 入力、コンペア: Out5 出力
P4.6/TB6 †	42	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI6A 又は CCI6B 入力、コンペア: Out6 出力
P4.7/TBCLK	43	I/O	汎用デジタル I/O / タイマ_B、クロック信号 TBCLK 入力
P5.0/STE1 †	44	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART1/SPI モード
P5.1/SIM01 †	45	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ入力/マスタ出力
P5.2/SOMI1 †	46	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ出力/マスタ入力
P5.3/UCLK1 †	47	I/O	汎用デジタル I/O / USART1 クロック:外部入力 - UART 又は SPI モード、出力 - SPI モード
P5.4/MCLK	48	I/O	汎用デジタル I/O / メイン・システム・クロック MCLK 出力
P5.5/SMCLK	49	I/O	汎用デジタル I/O / サブ・メイン・システム・クロック SMCLK 出力

† 14x デバイスのみ

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

端子機能表 (続き)

MSP430x13x、MSP430x14x (続き)

端子 名前	番号	I/O	機能
P5.6/ACLK	50	I/O	汎用デジタル I/O / 補助クロック ACLK 出力
P5.7/TBOUTH	51	I/O	汎用デジタル I/O / すべての PWM デジタル出力ポートをハイ・インピーダンスに切り換え - タイマ_B7 : TB0 ~ TB6
P6.0/A0	59	I/O	汎用デジタル I/O / アナログ入力 a0 - 12 ビット ADC
P6.1/A1	60	I/O	汎用デジタル I/O / アナログ入力 a1 - 12 ビット ADC
P6.2/A2	61	I/O	汎用デジタル I/O / アナログ入力 a2 - 12 ビット ADC
P6.3/A3	2	I/O	汎用デジタル I/O / アナログ入力 a3 - 12 ビット ADC
P6.4/A4	3	I/O	汎用デジタル I/O / アナログ入力 a4 - 12 ビット ADC
P6.5/A5	4	I/O	汎用デジタル I/O / アナログ入力 a5 - 12 ビット ADC
P6.6/A6	5	I/O	汎用デジタル I/O / アナログ入力 a6 - 12 ビット ADC
P6.7/A7	6	I/O	汎用デジタル I/O / アナログ入力 a7 - 12 ビット ADC
RST/NMI	58	I	リセット入力、マスク不可能な割り込み入力ポート、又はブートストラップ・ローダ・スタート (フラッシュ・デバイス)
TCK	57	I	テスト・クロック入力。TCK は、デバイス・プログラミング・テスト及びブートストラップ・ローダ・スタートのためのクロック入力ポートです。(フラッシュ・デバイス)
TDI/TCLK	55	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI/TCLK に接続されています。
TDO/TDI	54	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力
TMS	56	I	テスト・モード選択入力。TMS はデバイス・プログラミング及びテストのための入力ポートとして使用します。
V _{REF+}	10	I	ADC への外部基準電圧の入力
V _{REF+}	7	0	ADC の基準電圧の正出力
V _{REF-} /V _{REF-}	11	I	ADC の内部基準電圧及び外部基準電圧の両方の電圧源の負端子
XIN	8	I	クリスタル・オシレータ XT1 の入力ポート。標準又は時計用クリスタルが接続できます。
XOUT	9	0	クリスタル・オシレータ XT1 の出力
XT2IN	53	I	クリスタル・オシレータ XT2 の入力。標準のクリスタルだけを接続することができます。
XT2OUT	52	0	クリスタル・オシレータ XT2 の出力
QFN Pad	NA	NA	QFN パッケージのパッド。DV _{SS} に接続することを推奨します。

端子機能表 (続き)

MSP430x14x1

端子		I/O	機能
名前	番号		
AV _{cc}	64		アナログ電源電圧 (正端子)
AV _{ss}	62		アナログ電源電圧 (負端子)
DV _{cc}	1		デジタル電源電圧 (正端子)。すべてのデジタル回路に供給されます。
DV _{ss}	63		デジタル電源電圧 (負端子)。すべてのデジタル回路に供給されます。
P1.0/TACLK	12	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	13	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	14	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	15	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK	16	I/O	汎用デジタル I/O / SMCLK 信号出力
P1.5/TA0	17	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力
P1.6/TA1	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力
P1.7/TA2	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力
P2.0/ACLK	20	I/O	汎用デジタル I/O / ACLK 出力
P2.1/TAINCLK	21	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号
P2.2/CAOUT/TA0	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信
P2.3/CA0/TA1	23	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力
P2.4/CA1/TA2	24	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力
P2.5/R _{osc}	25	I/O	汎用デジタル I/O / DCO 公称周波数を決める外部抵抗入力
P2.6	26	I/O	汎用デジタル I/O
P2.7/TA0	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力
P3.0/STE0	28	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード
P3.1/SIM00	29	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ入力 / マスタ出力
P3.2/SOMI0	30	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ出力 / マスタ入力
P3.3/UCLK0	31	I/O	汎用デジタル I/O / USART0 クロック:外部入力 - UART 又は SPI モード、出力 - SPI モード
P3.4/UTXD0	32	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P3.5/URXD0	33	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P3.6/UTXD1	34	I/O	汎用デジタル I/O / 送信データ出力 - USART1/UART モード
P3.7/URXD1	35	I/O	汎用デジタル I/O / 受信データ入力 - USART1/UART モード
P4.0/TB0	36	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI0A 又は CCI0B 入力、コンペア: Out0 出力
P4.1/TB1	37	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI1A 又は CCI1B 入力、コンペア: Out1 出力
P4.2/TB2	38	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI2A 又は CCI2B 入力、コンペア: Out2 出力
P4.3/TB3	39	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI3A 又は CCI3B 入力、コンペア: Out3 出力
P4.4/TB4	40	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI4A 又は CCI4B 入力、コンペア: Out4 出力
P4.5/TB5	41	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI5A 又は CCI5B 入力、コンペア: Out5 出力
P4.6/TB6	42	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI6A 又は CCI6B 入力、コンペア: Out6 出力
P4.7/TBCLK	43	I/O	汎用デジタル I/O / タイマ_B、クロック信号 TBCLK 入力
P5.0/STE1	44	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART1/SPI モード
P5.1/SIM01	45	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ入力 / マスタ出力
P5.2/SOMI1	46	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ出力 / マスタ入力
P5.3/UCLK1	47	I/O	汎用デジタル I/O / USART1 クロック:外部入力 - UART 又は SPI モード、出力 - SPI モード
P5.4/MCLK	48	I/O	汎用デジタル I/O / メイン・システム・クロック MCLK 出力
P5.5/SMCLK	49	I/O	汎用デジタル I/O / サブ・メイン・システム・クロック SMCLK 出力

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

端子機能表 (続き)

MSP430x14x1 (続き)

端子		I/O	機能
名前	番号		
P5.6/ACLK	50	I/O	汎用デジタル I/O / 補助クロック ACLK 出力
P5.7/TBOUTH	51	I/O	汎用デジタル I/O / すべての PWM デジタル出力ポートをハイ・インピーダンスに切り換え - タイマ_B7 : TB0 ~ TB6
P6.0	59	I/O	汎用デジタル I/O
P6.1	60	I/O	汎用デジタル I/O
P6.2	61	I/O	汎用デジタル I/O
P6.3	2	I/O	汎用デジタル I/O
P6.4	3	I/O	汎用デジタル I/O
P6.5	4	I/O	汎用デジタル I/O
P6.6	5	I/O	汎用デジタル I/O
P6.7	6	I/O	汎用デジタル I/O
RST/NMI	58	I	リセット入力、マスク不可能な割り込み入力ポート、又はブートストラップ・ローダ・スタート (フラッシュ・デバイス)
TCK	57	I	テスト・クロック入力。TCK は、デバイス・プログラミング・テスト及びブートストラップ・ローダ・スタートのためのクロック入力ポートです。 (フラッシュ・デバイス)
TDI/TCLK	55	I	テスト・データ入力又はテスト クロック入力。デバイス保護ヒューズが、TDI/TCLK に接続されています。
TDO/TDI	54	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力
TMS	56	I	テスト・モード選択入力。TMS はデバイス・プログラミング及びテストのための入力ポートとして使用します。
DV _{SS}	10	I	DV _{SS} への接続
Reserved	7		予約されています。外部に接続しないで下さい。
DV _{SS}	11	I	DV _{SS} への接続
XIN	8	I	クリスタル・オシレータ XT1 の入力ポート。標準又は時計用クリスタルが接続できます。
XOUT	9	O	クリスタル・オシレータ XT1 の出力
XT2IN	53	I	クリスタル・オシレータ XT2 の入力。標準のクリスタルだけを接続することができます。
XT2OUT	52	O	クリスタル・オシレータ XT2 の出力
QFN Pad	NA	NA	QFN パッケージのパッド。DV _{SS} に接続することを推奨します。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表 1 は命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1, 4) OFIFG (注 1, 4) ACCVIFG (注 1, 4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
タイマ_B7 (注 5)	TBCCRO CCIFG (注 2)	マスク可能	0FFFAh	13
タイマ_B7 (注 5)	TBCCR1 ~ 6 CCIFG、 TBIFG (注 1, 2)	マスク可能	0FFF8h	12
コンパレータ_A	CAIFG	マスク可能	0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
USART0 受信	URXIFGO	マスク可能	0FFF2h	9
USART0 送信	UTXIFGO	マスク可能	0FFF0h	8
ADC12 (注 6)	ADC12IFG (注 1, 2)	マスク可能	0FFEEh	7
タイマ_A3	TACCRO CCIFG (注 2)	マスク可能	0FFECCh	6
タイマ_A3	TACCR1 CCIFG、 TACCR2 CCIFG、 TAIFG (注 1, 2)	マスク可能	0FFEAh	5
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1, 2)	マスク可能	0FFE8h	4
USART1 受信	URXIFG1	マスク可能	0FFE6h	3
USART1 送信	UTXIFG1		0FFE4h	2
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ~ P2IFG.7 (注 1, 2)	マスク可能	0FFE2h	1
			0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) マスク不可能：個々の及び汎用割り込みイネーブル・ビットのどちらでも割り込みイベントをディスエーブルにすることはできません。

(注 4) マスク可能 (不可能)：個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 5) MSP430x14x(1) ファミリのタイマ_B7 には 7 つの CCR があります。MSP430x13x ファミリのタイマ_B3 には 3 つの CCR があります。タイマ_B3 には、割り込みフラグ TBCCRO、1、及び 2 つの CCIFG 及び割り込みイネーブル・ビット TBCCTL0、1、及び 2 つの CCIE があります。

(注 6) ADC12 は 14x1 デバイスには搭載されていません。

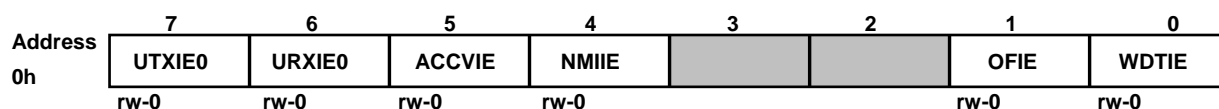
MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

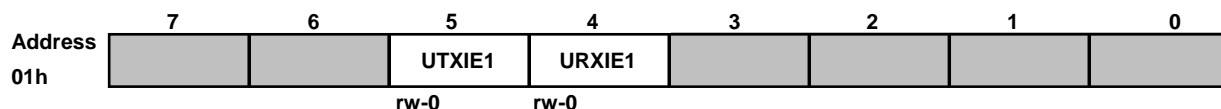
スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、実際のデバイスにも内蔵されておりません。これによって容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

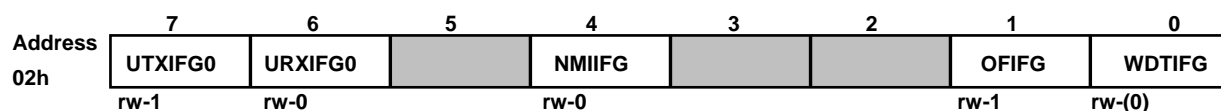


- WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。
- OFIE : オシレータ障害割り込みイネーブル
- NMIIE : マスク不可能な割り込みイネーブル
- ACCVIE : フラッシュ・アクセス違反割り込みイネーブル
- URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル
- UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル

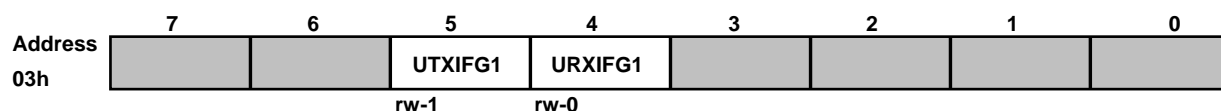


- URXIE1 : USART1 : UART 及び SPI 受信割り込みイネーブル
- UTXIE1 : USART1 : UART 及び SPI 送信割り込みイネーブル

割り込みフラグ・レジスタ 1、2



- WDTIFG : ウォッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード) 又はセキュリティ・キー違反でセットされます。V_{CC} パワー・アップ又はリセット・モードでの RST/NMI 端子のリセット条件でリセットされます。
- OFIFG : オシレータの異常でフラグがセットされます。
- NMIIFG : RST/NMI 端子によってセットされます。
- URXIFG0 : USART0 : UART 及び SPI 受信フラグ
- UTXIFG0 : USART0 : UART 及び SPI 送信フラグ



- URXIFG1 : USART1 : UART 及び SPI 受信フラグ
- UTXIFG1 : USART1 : UART 及び SPI 送信フラグ

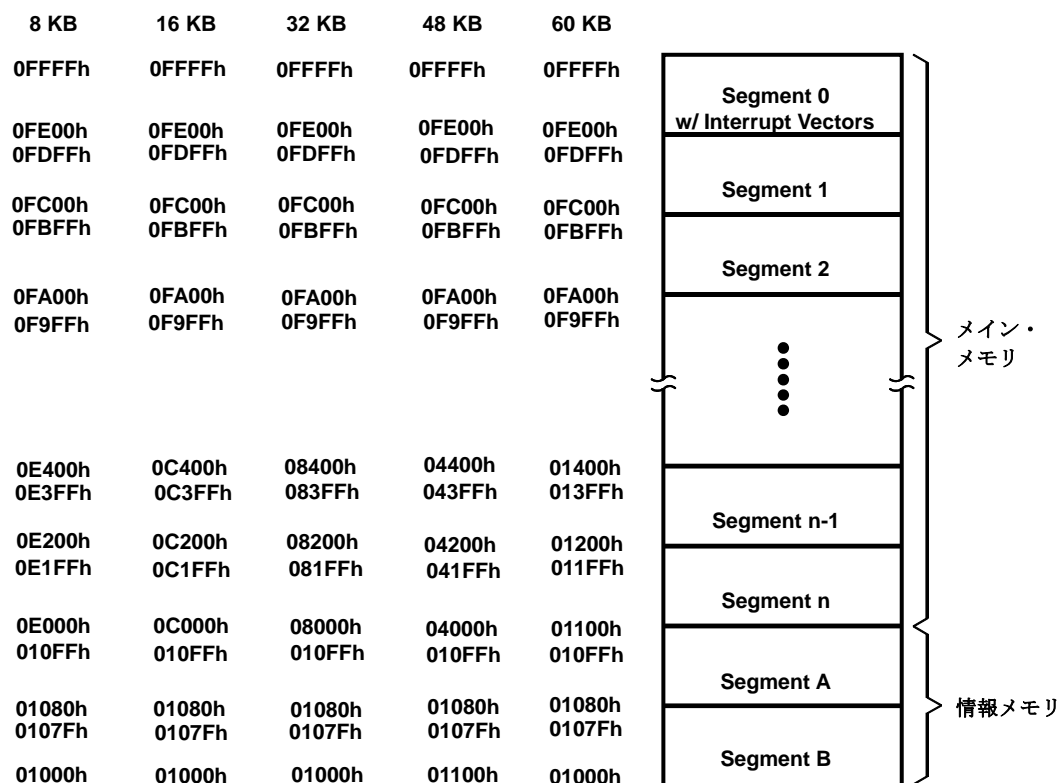
MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ (A と B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A と B は、情報メモリとも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、MSP430x1xx ファミリ ユーザーズ・ガイド、資料番号 SLAU135（日本語版）、SLAU049（）を参照して下さい。

デジタル I/O

6 つの 8 ビット I/O ポート内蔵：ポート P1 ~ P6

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 のすべての 8 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

オシレータ及びシステム・クロック

MSP430x13x 及び MSP430x14x(1) ファミリ・デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータを含む基本クロック・モジュールで構成されています。基本クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。基本クロック・モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK)：32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK)：CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK)：ペリフェラル・モジュールによって使用されるサブ・システム・クロック

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が不要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

ハードウェア・マルチプライヤ (MSP430x14x 及び MSP430x14x1 のみ)

マルチプライ動作は、専用ペリフェラル・モジュールによって行われます。このモジュールは、16x16、16x8、8x16、及び 8x8 ビット動作を行います。このモジュールは、符号付き及び符号なしマルチプライ及びアキュムレート動作（積和演算）と同様に符号付き及び符号なしマルチプライ動作（乗算）を行います。動作結果は、オペランドがペリフェラル・レジスタにロードされると直にアクセス可能になります。追加のクロック・サイクルは必要ありません。

USART0

MSP430x13x 及び MSP430x14x(1) デバイスは、シリアル・データ通信のために使用される 1 つのハードウェア USART ペリフェラル・モジュール (USART0) を持っています。USART は、同期式 SPI（3 又は 4 ピン）及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャンネルを使用します。

USART1 (MSP430x14x 及び MSP430x14x1 のみ)

MSP430x14x(1) は、シリアル・データ通信のために使用される 2 番目のハードウェア USART ペリフェラル・モジュール (USART1) を持っています。USART は、同期式 SPI（3 又は 4 ピン）及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャンネルを使用します。USART1 の動作は USART0 の動作と同じです。

MSP430x13x, MSP430x14x, MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

コンパレータ_A

コンパレータ_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

ADC12 (MSP430x14x1 には搭載されていません)

ADC12 モジュールは、高速 12 ビット A/D 変換を行います。モジュールは、12 ビット SAR コア、サンプル選択制御、基準電圧発生回路、及び 16 ワード変換/制御バッファを内蔵しています。変換/制御バッファにより、CPU の仲介なしで 16 までの独立した ADC サンプルを変換し、蓄積することができます。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続					
入力端子番号	デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号
12 - P1.0	TACLK	TACLK	タイマ	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
21 - P2.1	TAINCLK	INCLK			
13 - P1.1	TA0	CCI0A	CCR0	TA0	13 - P1.1
	22 - P2.2	TA0			CCI0B
DV _{ss}		GND			27 - P2.7
DV _{cc}	V _{cc}				
14 - P1.2	TA1	CCI1A	CCR1	TA1	14 - P1.2
	CAOUT (内部)	CCI1B			18 - P1.6
	DV _{ss}	GND			23 - P2.3
	DV _{cc}	V _{cc}			ADC12 (内部)
15 - P1.3	TA2	CCI2A	CCR2	TA2	15 - P1.3
	ACLK (内部)	CCI2B			19 - P1.7
	DV _{ss}	GND			24 - P2.4
	DV _{cc}	V _{cc}			

タイマ_B3 (MSP430x13x のみ)

タイマ_B3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_B3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_B3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_B7 (MSP430x14x 及び MSP430x14x1 のみ)

タイマ_B7 は、7 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_B7 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_B7 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_B3/B7 信号の接続 †					
入力端子番号	デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号
43 - P4.7	TBCLK	TBCLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
43 - P4.7	TBCLK	INCLK			
36 - P4.0	TB0	CCI0A	CCR0	TB0	36 - P4.0
36 - P4.0	TB0	CCI0B			ADC12 (内部)
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
37 - P4.1	TB1	CCI1A	CCR1	TB1	37 - P4.1
37 - P4.1	TB1	CCI1B			ADC12 (内部)
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
38 - P4.2	TB2	CCI2A	CCR2	TB2	38 - P4.2
38 - P4.2	TB2	CCI2B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
39 - P4.3	TB3	CCI3A	CCR3	TB3	39 - P4.3
39 - P4.3	TB3	CCI3B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
40 - P4.4	TB4	CCI4A	CCR4	TB4	40 - P4.4
40 - P4.4	TB4	CCI4B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
41 - P4.5	TB5	CCI5A	CCR5	TB5	41 - P4.5
41 - P4.5	TB5	CCI5B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
42 - P4.6	TB6	CCI6A	CCR6	TB6	42 - P4.6
	ACLK (内部)	CCI6B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			

† タイマ_B3 には 3 つのキャプチャ/コンペア・ブロックがあります。(CCR0、CCR1、及び CCR2 のみ)

MSP430x13x、MSP430x14x、MSP430x14x1
ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

ペリフェラル・ファイル・マップ

ワード アクセスによるペリフェラル			
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDTCTL	0120h
タイマ_B7/ タイマ_B3 (注 1)	タイマ_B 割り込みベクタ	TBIV	011Eh
	タイマ_B 制御	TBCTL	0180h
	キャプチャ/コンペア制御 0	TBCCTL0	0182h
	キャプチャ/コンペア制御 1	TBCCTL1	0184h
	キャプチャ/コンペア制御 2	TBCCTL2	0186h
	キャプチャ/コンペア制御 3	TBCCTL3	0188h
	キャプチャ/コンペア制御 4	TBCCTL4	018Ah
	キャプチャ/コンペア制御 5	TBCCTL5	018Ch
	キャプチャ/コンペア制御 6	TBCCTL6	018Eh
	タイマ_B レジスタ	TBR	0190h
	キャプチャ/コンペア レジスタ 0	TBCCR0	0192h
	キャプチャ/コンペア レジスタ 1	TBCCR1	0194h
	キャプチャ/コンペア レジスタ 2	TBCCR2	0196h
	キャプチャ/コンペア レジスタ 3	TBCCR3	0198h
	キャプチャ/コンペア レジスタ 4	TBCCR4	019Ah
	キャプチャ/コンペア レジスタ 5	TBCCR5	019Ch
	キャプチャ/コンペア レジスタ 6	TBCCR6	019Eh
タイマ_A3	タイマ_A 割り込みベクタ	TAIV	012Eh
	タイマ_A 制御	TACTL	0160h
	キャプチャ/コンペア制御 0	TACCTL0	0162h
	キャプチャ/コンペア制御 1	TACCTL1	0164h
	キャプチャ/コンペア制御 2	TACCTL2	0166h
	予約されています。		0168h
	予約されています。		016Ah
	予約されています。		016Ch
	予約されています。		016Eh
	タイマ_A レジスタ	TAR	0170h
	キャプチャ/コンペア レジスタ 0	TACCR0	0172h
	キャプチャ/コンペア レジスタ 1	TACCR1	0174h
	キャプチャ/コンペア レジスタ 2	TACCR2	0176h
	予約されています。		0178h
予約されています。		017Ah	
予約されています。		017Ch	
予約されています。		017Eh	
ハードウェア マルチプライヤ (MSP430x14x 及び MSP430x14x1 のみ)	合計 (拡張)	SUMEXT	013Eh
	結果上位ワード	RESHI	013Ch
	結果下位ワード	RESLO	013Ah
	2 番目のオペランド	OP2	0138h
	マルチプライ (符号付き) + アキュムレート / オペランド1	MACS	0136h
	マルチプライ + アキュムレート / オペランド1	MAC	0134h
	マルチプライ (符号付き) / オペランド1	MPYS	0132h
	マルチプライ (符号なし) / オペランド1	MPY	0130h

(注 1) MSP430x14x(1) ファミリのタイマ_B7 には 7 つの CCR があります。MSP430x13x ファミリのタイマ_B3 には 3 つの CCR があります。

ペリフェラル・ファイル・マップ (続き)

ワード アクセスによるペリフェラル (続き)			
フラッシュ	フラッシュ制御 3	FCTL3	012Ch
	フラッシュ制御 2	FCTL2	012Ah
	フラッシュ制御 1	FCTL1	0128h
ADC12 (MSP430x14x1 には搭載されていません)	変換メモリ 15	ADC12MEM15	015Eh
	変換メモリ 14	ADC12MEM14	015Ch
	変換メモリ 13	ADC12MEM13	015Ah
	変換メモリ 12	ADC12MEM12	0158h
	変換メモリ 11	ADC12MEM11	0156h
	変換メモリ 10	ADC12MEM10	0154h
	変換メモリ 9	ADC12MEM9	0152h
	変換メモリ 8	ADC12MEM8	0150h
	変換メモリ 7	ADC12MEM7	014Eh
	変換メモリ 6	ADC12MEM6	014Ch
	変換メモリ 5	ADC12MEM5	014Ah
	変換メモリ 4	ADC12MEM4	0148h
	変換メモリ 3	ADC12MEM3	0146h
	変換メモリ 2	ADC12MEM2	0144h
	変換メモリ 1	ADC12MEM1	0142h
	変換メモリ 0	ADC12MEM0	0140h
	割り込みベクタ・ワード・レジスタ	ADC12IV	01A8h
	割り込みイネーブル・レジスタ	ADC12IE	01A6h
	割り込みフラグ・レジスタ	ADC12IFG	01A4h
	制御レジスタ 1	ADC12CTL1	01A2h
	制御レジスタ 0	ADC12CTL0	01A0h
	ADC メモリ - 制御レジスタ 15	ADC12MCTL15	08Fh
	ADC メモリ - 制御レジスタ 14	ADC12MCTL14	08Eh
	ADC メモリ - 制御レジスタ 13	ADC12MCTL13	08Dh
	ADC メモリ - 制御レジスタ 12	ADC12MCTL12	08Ch
	ADC メモリ - 制御レジスタ 11	ADC12MCTL11	08Bh
	ADC メモリ - 制御レジスタ 10	ADC12MCTL10	08Ah
	ADC メモリ - 制御レジスタ 9	ADC12MCTL9	089h
	ADC メモリ - 制御レジスタ 8	ADC12MCTL8	088h
	ADC メモリ - 制御レジスタ 7	ADC12MCTL7	087h
	ADC メモリ - 制御レジスタ 6	ADC12MCTL6	086h
	ADC メモリ - 制御レジスタ 5	ADC12MCTL5	085h
	ADC メモリ - 制御レジスタ 4	ADC12MCTL4	084h
ADC メモリ - 制御レジスタ 3	ADC12MCTL3	083h	
ADC メモリ - 制御レジスタ 2	ADC12MCTL2	082h	
ADC メモリ - 制御レジスタ 1	ADC12MCTL1	081h	
ADC メモリ - 制御レジスタ 0	ADC12MCTL0	080h	

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

ペリフェラル・ファイル・マップ (続き)

バイト アクセスによるペリフェラル			
USART1 (MSP430x14x 及び MSP430x14x1 のみ)	送信バッファ	U1TXBUF	07Fh
	受信バッファ	U1RXBUF	07Eh
	ボー・レート	U1BR1	07Dh
	ボー・レート	U1BRO	07Ch
	変調制御	U1MCTL	07Bh
	受信制御	U1RCTL	07Ah
	送信制御	U1TCTL	079h
	USART 制御	U1CTL	078h
USART0	送信バッファ	U0TXBUF	077h
	受信バッファ	U0RXBUF	076h
	ボー・レート	U0BR1	075h
	ボー・レート	U0BRO	074h
	変調制御	U0MCTL	073h
	受信制御	U0RCTL	072h
	送信制御	U0TCTL	071h
	USART 制御	U0CTL	070h
コンパレータ_A	コンパレータ_A ポート ディスエーブル	CAPD	05Bh
	コンパレータ_A 制御 2	CACTL2	05Ah
	コンパレータ_A 制御 1	CACTL1	059h
基本クロック	基本クロック・システム制御 2	BCSCTL2	058h
	基本クロック・システム制御 1	BCSCTL1	057h
	DC0 クロック周波数制御	DCOCTL	056h
ポート P6	ポート P6 選択	P6SEL	037h
	ポート P6 方向	P6DIR	036h
	ポート P6 出力	P6OUT	035h
	ポート P6 入力	P6IN	034h
ポート P5	ポート P5 選択	P5SEL	033h
	ポート P5 方向	P5DIR	032h
	ポート P5 出力	P5OUT	031h
	ポート P5 入力	P5IN	030h
ポート P4	ポート P4 選択	P4SEL	01Fh
	ポート P4 方向	P4DIR	01Eh
	ポート P4 出力	P4OUT	01Dh
	ポート P4 入力	P4IN	01Ch
ポート P3	ポート P3 選択	P3SEL	01Bh
	ポート P3 方向	P3DIR	01Ah
	ポート P3 出力	P3OUT	019h
	ポート P3 入力	P3IN	018h
ポート P2	ポート P2 選択	P2SEL	02Eh
	ポート P2 割り込みイネーブル	P2IE	02Dh
	ポート P2 割り込みエッジ選択	P2IES	02Ch
	ポート P2 割り込みフラグ	P2IFG	02Bh
	ポート P2 方向	P2DIR	02Ah
	ポート P2 出力	P2OUT	029h
	ポート P2 入力	P2IN	028h

ペリフェラル・ファイル・マップ (続き)

バイト アクセスによるペリフェラル			
ポート P1	ポート P1 選択	P1SEL	026h
	ポート P1 割り込みイネーブル	P1IE	025h
	ポート P1 割り込みエッジ選択	P1IES	024h
	ポート P1 割り込みフラグ	P1IFG	023h
	ポート P1 方向	P1DIR	022h
	ポート P1 出力	P1OUT	021h
	ポート P1 入力	P1IN	020h
スペシャル・ファンクション	SFR モジュール・イネーブル 2	ME2	005h
	SFR モジュール・イネーブル 1	ME1	004h
	SFR 割り込みフラグ 2	IFG2	003h
	SFR 割り込みフラグ 1	IFG1	002h
	SFR 割り込みイネーブル 2	IE2	001h
	SFR 割り込みイネーブル 1	IE1	000h

動作温度範囲における絶対最大定格 (特記無き場合) †

印加電圧 ($V_{CC} \sim V_{SS}$ 間)	-0.3 ~ 4.1	V	
印加電圧 (全端子) (注)	-0.3 ~ $V_{CC} + 0.3$	V	
ダイオード電流 (全端子)	±2	mA	
保存温度範囲	未プログラムのデバイス	T_{stg}	-55 ~ 150	°C
	プログラム済みデバイス	-40 ~ 85	°C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TDI/TCLK 端子に電圧が印加されます。

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

推奨動作条件

項 目		最小	標準	最大	単位
電源電圧 (プログラム実行時)、 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)		MSP430F13x, MSP430F14x(1)	1.8	3.6	V
電源電圧 (フラッシュ・メモリ プログラム時)、 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)		MSP430F13x, MSP430F14x(1)	2.7	3.6	V
電源電圧、 V_{SS} ($AV_{SS} = DV_{SS} = V_{SS}$)			0.0	0.0	V
動作温度範囲、 T_A		MSP430x13x MSP430x14x(1)	-40	85	°C
LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 1、2)	LF 選択時、 $XTS = 0$	時計用クリスタル	32768		Hz
	XT1 選択時、 $XTS = 1$	セラミック発振子 クリスタル	450 1000	8000 8000	kHz kHz
XT2 クリスタル周波数、 $f_{(XT2)}$	セラミック発振子	450	8000		kHz
	クリスタル	1000	8000		
プロセッサ周波数 (MCLK 信号)、 $f_{(System)}$	$V_{CC} = 1.8\text{ V}$	DC	4.15		MHz
	$V_{CC} = 3.6\text{ V}$	DC	8		

- (注 1) LF モードでは、 $V_{CC} < 2.5\text{ V}$ の時 LFXT1 オシレータには $XOUT \sim V_{SS}$ 間に $5.1\text{ M}\Omega$ の抵抗が必要です。
 XT1 モードでは、 $V_{CC} \geq 2.2\text{ V}$ の時 LFXT1 及び XT2 オシレータにはセラミック発振子又は 4.15 MHz までのクリスタルが
 使用できます。
 XT1 モードでは、 $V_{CC} \geq 2.8\text{ V}$ の時 LFXT1 及び XT2 オシレータにはセラミック発振子又は 8 MHz までのクリスタルが使用
 できます。
- (注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。
 XT1 モードでは、LFXT1 オシレータにはセラミック発振子又はクリスタルが使用できます。

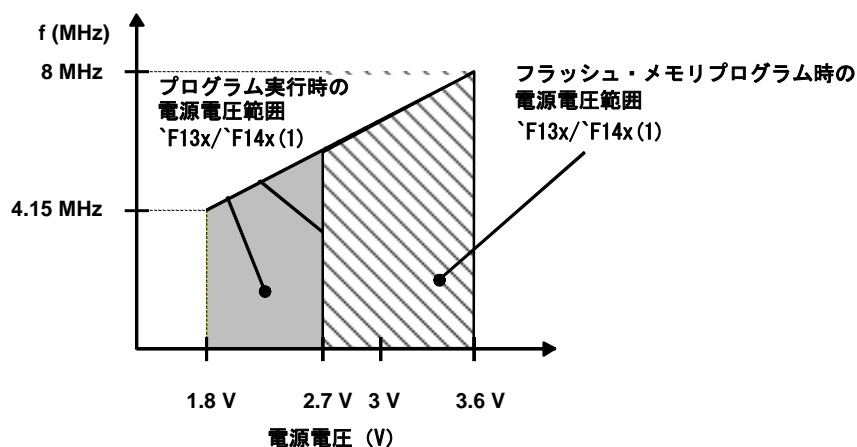


図 1. 電源電圧対周波数、MSP430F13x 又は MSP430F14x(1)

推奨動作温度範囲における電気的特性 (特記無き場合)

電源電流 ($V_{CC} + DV_{CC}$) (外部電流を除く)

項目	測定条件	最小	標準	最大	単位	
$I_{(AM)}$ アクティブ・モード (注 1)、 $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = (0, 1)$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	280	350	μA	
		$V_{CC} = 3 \text{ V}$	420	560		
$I_{(AM)}$ アクティブ・モード (注 1)、 $f_{(MCLK)} = f_{(SMCLK)} = 4,096 \text{ Hz}$ 、 $f_{(ACLK)} = 4,096 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = (0, 1)$ 、 $XTS = 0$ 、 $SELM = 3$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	2.5	7	μA	
		$V_{CC} = 3 \text{ V}$	9	20		
$I_{(LPM0)}$ ロー・パワー・モード (LPM0) (注 1)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	32	45	μA	
		$V_{CC} = 3 \text{ V}$	55	70		
$I_{(LPM2)}$ ロー・パワー・モード (LPM2)、 $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 0$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	11	14	μA	
		$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$ ロー・パワー・モード (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 1$ (注 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.8	1.5	μA	
			$T_A = 25^\circ\text{C}$	0.9		1.5
			$T_A = 85^\circ\text{C}$	1.6		2.8
	$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.8	2.2	μA	
			$T_A = 25^\circ\text{C}$	1.6		1.9
			$T_A = 85^\circ\text{C}$	2.3		3.9
$I_{(LPM4)}$ ロー・パワー・モード (LPM4)、 $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 0 \text{ Hz}$ 、 $SCGO = 1$	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.1	0.5	μA	
			$T_A = 25^\circ\text{C}$	0.1		0.5
			$T_A = 85^\circ\text{C}$	0.8		2.5
	$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	0.1	0.5	μA	
			$T_A = 25^\circ\text{C}$	0.1		0.5
			$T_A = 85^\circ\text{C}$	0.8		2.5

(注 1) タイマ_B は、 $f_{(DCCLK)} = 1 \text{ MHz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) タイマ_B は、 $f_{(ACLK)} = 32,768 \text{ Hz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。LPM2 及び LPM3 での消費電流は、ACLK を選択した状態で測定します。

アクティブ・モードのシステム周波数対消費電流、F バージョン

$$I_{(AM)} = I_{(AM) [1 \text{ MHz}]} \times f_{(\text{system})} [\text{MHz}]$$

アクティブ・モードの電源電圧対消費電流、F バージョン

$$I_{(AM)} = I_{(AM) [3 \text{ V}]} + 175 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

シュミット・トリガ入力ポート P1、P2、P3、P4、P5、P6

項 目	測定条件	最小	標準	最大	単位
V _{IT+} 立ち上がり入力スレッショルド電圧	V _{CC} = 2.2 V	1.1		1.5	V
	V _{CC} = 3 V	1.5		1.9	
V _{IT-} 立ち下がり入力スレッショルド電圧	V _{CC} = 2.2 V	0.4		0.9	V
	V _{CC} = 3 V	0.9		1.3	
V _{hys} 入力電圧ヒステリシス (V _{IT+} - V _{IT-})	V _{CC} = 2.2 V	0.3		1.1	V
	V _{CC} = 3 V	0.5		1	

標準入力 - RST/NMI; JTAG: TCK、TMS、TDI/TCLK、TDO/TDI

項 目	測定条件	最小	標準	最大	単位
V _{IL} ロー・レベル入力電圧	V _{CC} = 2.2 V / 3 V	V _{SS}	V _{SS} + 0.6		V
V _{IH} ハイ・レベル入力電圧		0.8 x V _{CC}		V _{CC}	V

入力 P_{x.x}、TA_x、TB_x

項 目	測定条件	V _{CC}	最小	標準	最大	単位
t _(int) 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、割り込みフ ラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
t _(cap) タイマ_A、タイマ_B キャプチャ・タイミング	TA0、TA1、TA2 TB0、TB1、TB2、TB3、TB4、TB5、TB6 (注 2)	2.2 V	62			ns
		3 V	50			
f _(TAext)	外部から端子に印加するタイマ _A、タイマ_B クロック周波数	TACLK、TBCLK、INCLK: t _(H) = t _(L)	2.2 V		8	MHz
f _(TBext)			3 V		10	
f _(TAint)	タイマ_A、タイマ_B クロック周 波数	SMCLK 又は ACLK 信号選択時	2.2 V		8	MHz
f _(TBint)			3 V		10	

(注 1) 外部信号は、最小 t_(int) サイクル及び時間のパラメータが適合するたびに毎に割り込みフラグをセットします。トリガ信号が t_(int) より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。t_(int) は MCLK サイクルで測定されます。

(注 2) `x14x(1) には 7 つのキャプチャ/コンペア・レジスタがあります。`x13x には 3 つのキャプチャ/コンペア・レジスタがあります。

リーク電流 (注 1)

項 目	測定条件	最小	標準	最大	単位
I _{1kg(P1.x)} I _{1kg(P2.x)} I _{1kg(P6.x)} リーク電流 (注 1)	ポート P1 V _(P1.x) (注 2)			±50	nA
	ポート P2 V _(P2.3) V _(P2.4) (注 2)	V _{CC} = 2.2 V/3 V		±50	
	ポート P6 V _(P6.x) (注 2)			±50	

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

出力ポート P1、P2、P3、P4、P5、P6

項目	測定条件			最小	標準	最大	単位
V_{OH} ハイ・レベル出力電圧	$I_{OH(max)} = -1 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	$V_{CC} - 0.25$		V_{CC}	V
	$I_{OH(max)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$	V_{CC}		
	$I_{OH(max)} = -1 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	$V_{CC} - 0.25$		V_{CC}	
	$I_{OH(max)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$	V_{CC}		
V_{OL} ロー・レベル出力電圧	$I_{OL(max)} = 1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	V_{SS}		$V_{SS} + 0.25$	V
	$I_{OL(max)} = 6 \text{ mA}$		(注 2)	V_{SS}	$V_{SS} + 0.6$		
	$I_{OL(max)} = 1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	V_{SS}		$V_{SS} + 0.25$	
	$I_{OL(max)} = 6 \text{ mA}$		(注 2)	V_{SS}	$V_{SS} + 0.6$		

(注 1) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 6 \text{ mA}$ を越えてはいけません。

(注 2) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 24 \text{ mA}$ を越えてはいけません。

出力周波数

項目	測定条件		最小	標準	最大	単位
f_{TAX} TA0..2、TB0 ~ TB6、 内部クロック・ソース、SMCLK 信号印加 (注 1)	$C_L = 20 \text{ pF}$		DC		f_{System}	MHz
f_{ACLK} , f_{MCLK} , f_{SMCLK} P5.6/ACLK、P5.4/MCLK、P5.5/SMCLK	$C_L = 20 \text{ pF}$				f_{System}	
t_{Xdc} 出力周波数デューティ比	P2.0/ACLK、 $C_L = 20 \text{ pF}$ 、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$	$f_{ACLK} = f_{LFX1} = f_{XT1}$	40%		60%	
		$f_{ACLK} = f_{LFX1} = f_{LF}$	30%		70%	
		$f_{ACLK} = f_{LFX1/n}$		50%		
	P1.4/SMCLK、 $C_L = 20 \text{ pF}$ 、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$	$f_{SMCLK} = f_{LFX1} = f_{XT1}$	40%		60%	
		$f_{SMCLK} = f_{LFX1} = f_{LF}$	35%		65%	
		$f_{SMCLK} = f_{LFX1/n}$	50% - 15 ns	50%	50% - 15 ns	
	$f_{SMCLK} = f_{DCCCLK}$	50% - 15 ns	50%	50% - 15 ns		

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1、P2、P3、P4、P5、P6 (続き)

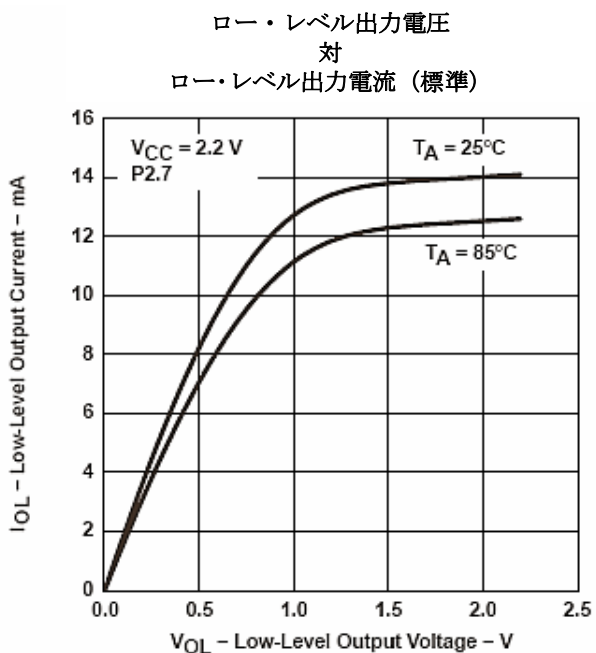


図 2

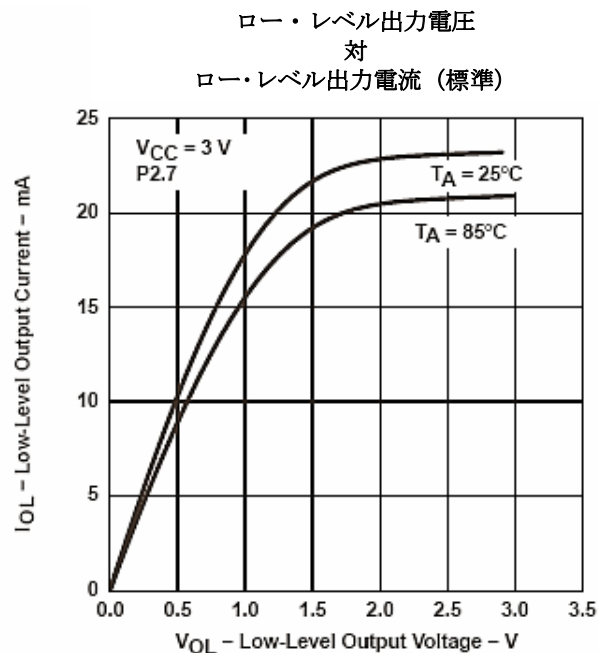


図 3

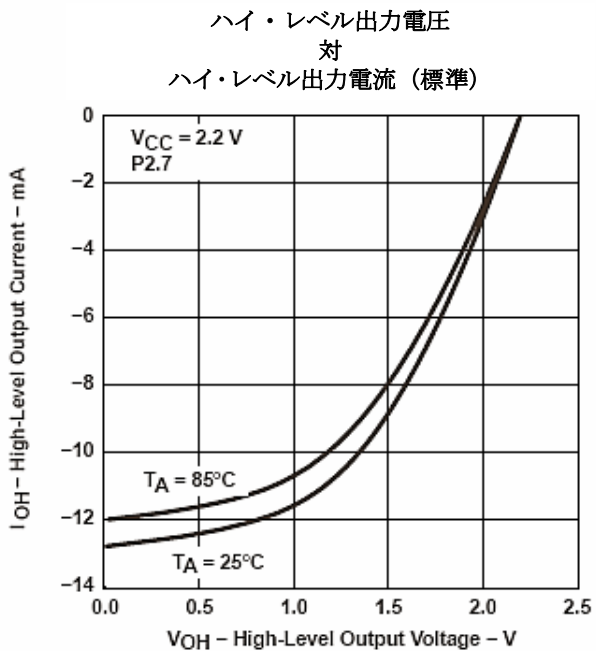


図 4

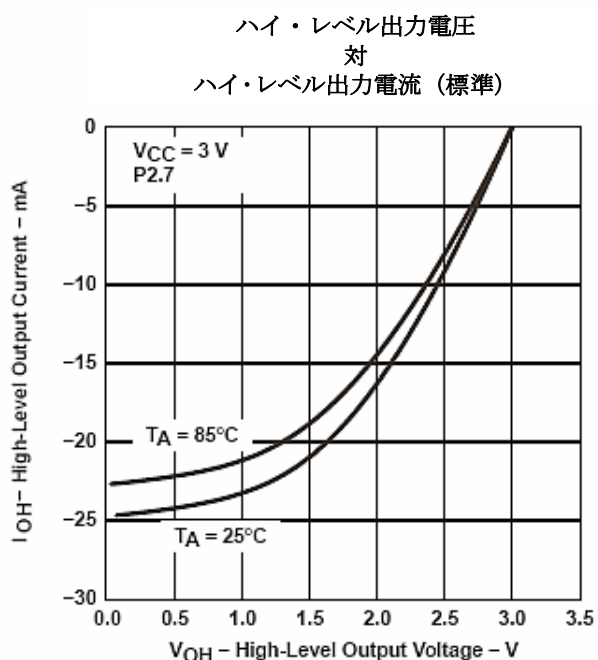


図 5

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

ウェーク・アップ LPM3

項 目	測定条件	最小	標準	最大	単位
$t_{(LPM3)}$ 遅延時間	$f_{(MCLK)} = 1 \text{ MHz}$ 、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	μs
	$f_{(MCLK)} = 2 \text{ MHz}$ 、			6	
	$f_{(MCLK)} = 3 \text{ MHz}$ 、			6	

RAM

項 目	測定条件	最小	標準	最大	単位
$V_{(RAM)}$	CPU 停止 (HALT) 時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

コンパレータ_A (注 1)

項 目	測定条件	最小	標準	最大	単位	
$I_{(DD)}$	CAON = 1, CARSEL = 0, CAREF = 0	$V_{CC} = 2.2 \text{ V}$	25	40	μA	
		$V_{CC} = 3 \text{ V}$	45	60		
$I_{(\text{Ref ladder/Ref diode})}$	CAON = 1, CARSEL = 0, CAREF = 1/2/3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は 無負荷	$V_{CC} = 2.2 \text{ V}$	30	50	μA	
		$V_{CC} = 3 \text{ V}$	45	71		
$V_{(IC)}$ 同相入力電圧	CAON = 1	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	$V_{CC} - 1$	V	
$V_{(\text{Ref}025)}$ 電圧@ $0.25 V_{CC}$ ノード V_{CC}	PCAO = 1, CARSEL = 1, CAREF = 1、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は 無負荷	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.23	0.24	0.25	
$V_{(\text{Ref}050)}$ 電圧@ $0.5 V_{CC}$ ノード V_{CC}	PCAO = 1, CARSEL = 1, CAREF = 2、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は 無負荷	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.47	0.48	0.5	
$V_{(\text{Ref}VT)}$ (図 6 参照)	PCAO = 1, CARSEL = 1, CAREF = 3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は 無負荷、 $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	390	480	540	mV
		$V_{CC} = 3 \text{ V}$	400	490	550	
$V_{(\text{offset})}$ オフセット電圧	(注 2)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	-30		30	mV
V_{hys} 入力ヒステリシス	CAON = 1	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	0.7	1.4	mV
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	

(注 1) コンパレータ_A 端子のリーク電流は、 $I_{1kg(Px.x)}$ の規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

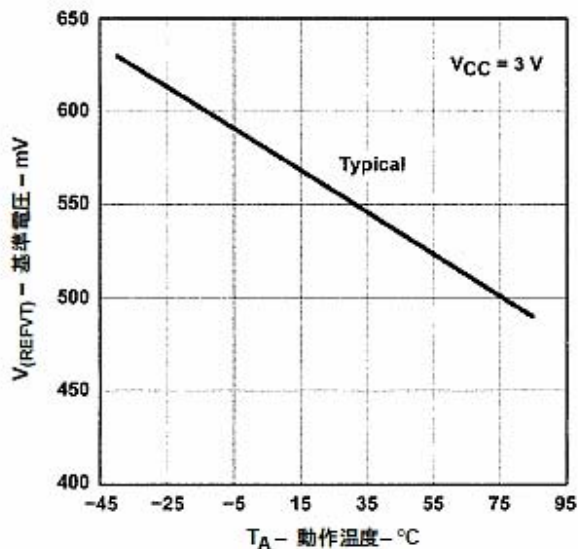


図 6. 動作温度 対 $V_{(REFVT)}$ ($V_{CC} = 3V$)

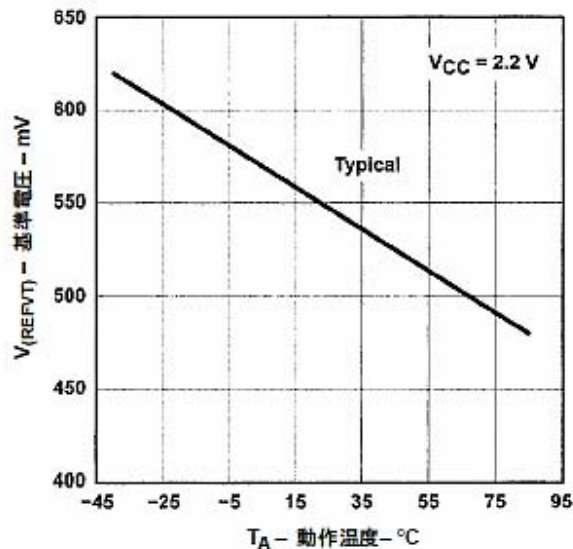


図 7. 動作温度 対 $V_{(REFVT)}$ ($V_{CC} = 2.2V$)

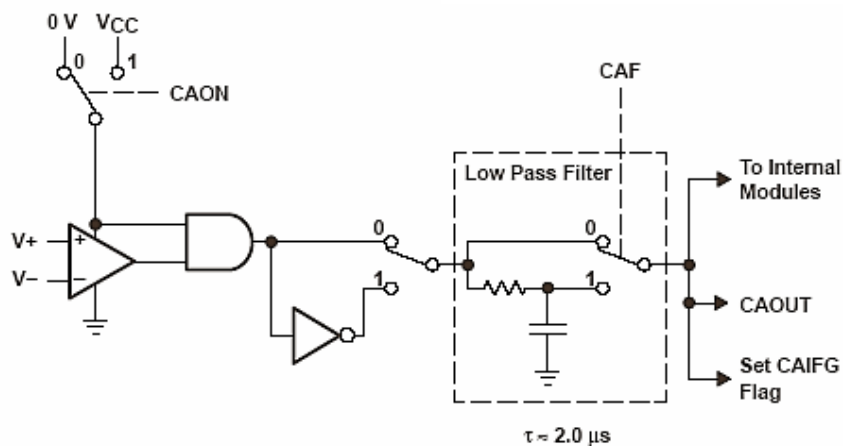


図 8. コンパレータ_A モジュールのブロック図

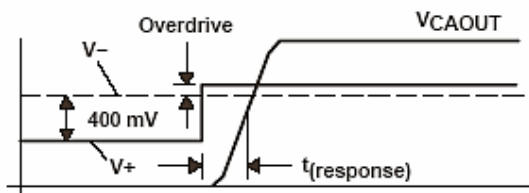


図 9. オーバードライブの定義

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

PUC/POR

項目	測定条件	最小	標準	最大	単位	
$t_{(POR_Delay)}$	POR を解除するための内部遅延時間		150	250	μs	
V_{POR}	POR 解除遅延時間が始まる V_{CC} スレッシュホールド (注 1)	$T_A = -40^\circ C$		1.4	1.8	V
		$T_A = 25^\circ C$		1.1	1.5	
		$T_A = 85^\circ C$		0.8	1.2	
$V_{(min)}$	POR を生成する V_{CC} スレッシュホールド (注 2)	$V_{CC} dV/dt \geq 1V/ms$			V	
$t_{(reset)}$	PUC/POR のための \overline{RST}/NMI ロー・レベル時間	リセットは内部で受け付けられます。			μs	

(注 1) V_{CC} 立ち上がり時間 $dV/dt \geq 1 V/ms$

(注 2) POR 条件を発生させるため V_{CC} をロー・レベルにする場合は、 V_{CC} は $dV/dt \leq -1 V/ms$ で 200 mV 以下にしなければなりません。一方、立ち上がり V_{CC} は $dV/dt \geq +1 V/ms$ にしなければなりません。

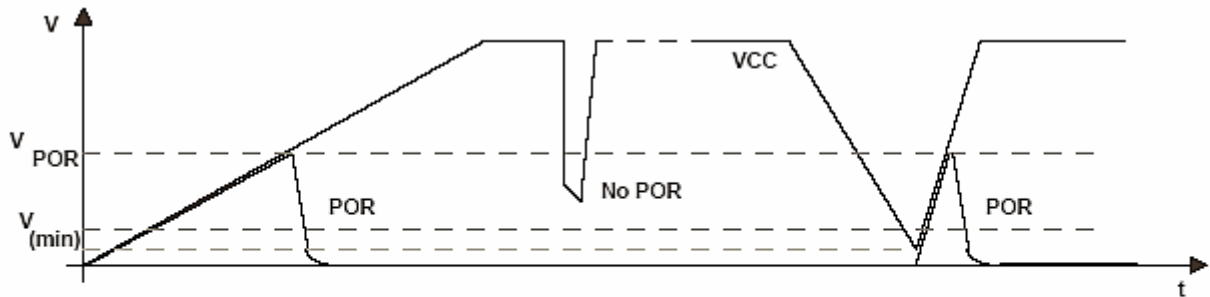


図 10. 電源電圧対パワー・オン・リセット (POR)

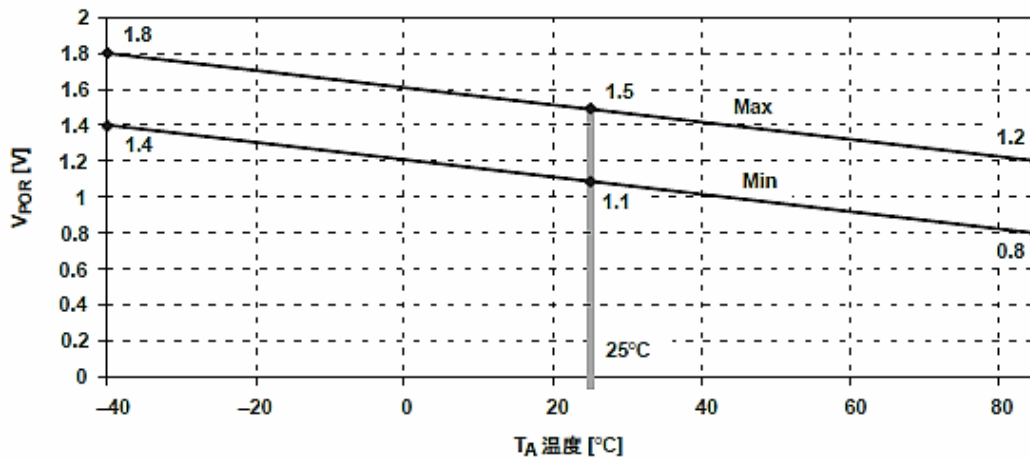


図 11. 温度対 V_{POR}

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005年4月 - 2005年5月改定

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

DCO (注 1)

項目	測定条件		最小	標準	最大	単位
$f_{(DC003)}$	$R_{sel} = 0, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.08	0.12	0.15	MHz
		$V_{CC} = 3\text{ V}$	0.08	0.13	0.16	
$f_{(DC013)}$	$R_{sel} = 1, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.14	0.19	0.23	MHz
		$V_{CC} = 3\text{ V}$	0.14	0.18	0.22	
$f_{(DC023)}$	$R_{sel} = 2, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.22	0.3	0.36	MHz
		$V_{CC} = 3\text{ V}$	0.22	0.28	0.34	
$f_{(DC033)}$	$R_{sel} = 3, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.37	0.49	0.59	MHz
		$V_{CC} = 3\text{ V}$	0.37	0.47	0.56	
$f_{(DC043)}$	$R_{sel} = 4, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.61	0.77	0.93	MHz
		$V_{CC} = 3\text{ V}$	0.61	0.75	0.9	
$f_{(DC053)}$	$R_{sel} = 5, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	1	1.2	1.5	MHz
		$V_{CC} = 3\text{ V}$	1	1.3	1.5	
$f_{(DC063)}$	$R_{sel} = 6, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	1.6	1.9	2.2	MHz
		$V_{CC} = 3\text{ V}$	1.69	2	2.29	
$f_{(DC073)}$	$R_{sel} = 7, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	2.4	2.9	3.4	MHz
		$V_{CC} = 3\text{ V}$	2.7	3.2	3.65	
$f_{(DC047)}$	$R_{sel} = 4, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2\text{ V}/3\text{ V}$	f_{DC040} x 1.7	f_{DC040} x 2.1	f_{DC040} x 2.5	MHz
		$V_{CC} = 2.2\text{ V}$	4	4.5	4.9	
		$V_{CC} = 3\text{ V}$	4.4	4.9	5.4	
$S_{(Rsel)}$	$S_R = f_{Rsel+1} / f_{Rsel}$	$V_{CC} = 2.2\text{ V}/3\text{ V}$	1.35	1.65	2	
$S_{(DC0)}$	$S_{DC0} = f_{DC0+1} / f_{DC0}$	$V_{CC} = 2.2\text{ V}/3\text{ V}$	1.07	1.12	1.16	
D_t	温度ドリフト、 $R_{sel} = 4, DCO = 3, MOD = 0$ (注 2)	$V_{CC} = 2.2\text{ V}$	-0.31	-0.36	-0.4	%/°C
		$V_{CC} = 3\text{ V}$	-0.33	-0.38	-0.43	
D_V	V_{CC} 変動によるドリフト、 $R_{sel} = 4, DCO = 3, MOD = 0$ (注 2)	$V_{CC} = 2.2\text{ V}/3\text{ V}$	0	5	10	%/V

(注 1) DCO 周波数は、パラメータ プロセッサ周波数 $f_{(System)}$ で規定された最大システム周波数を越えることはできません。

(注 2) これらのパラメータは、量産テストは実施していません。

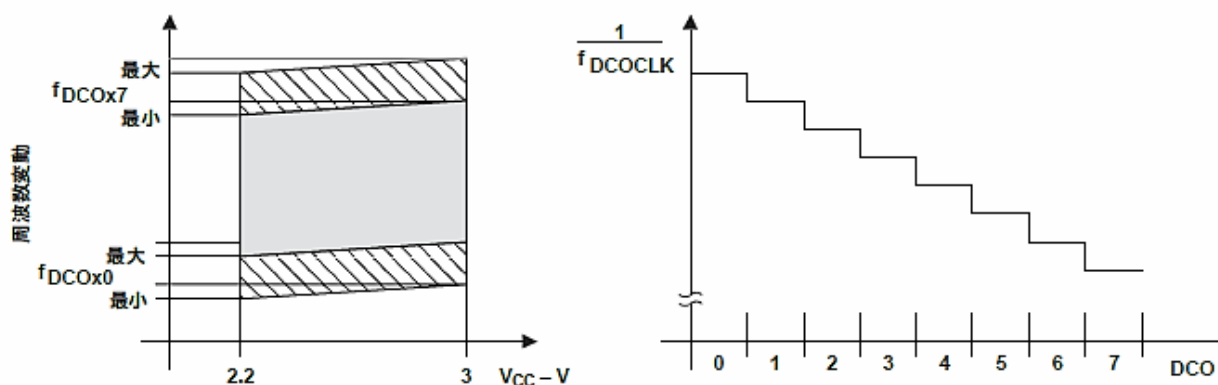


図 12. DCO 特性

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

主要 DCO 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DC0x0)} \sim f_{(DC0x7)}$ の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel(n) によって選択されるすべての範囲は、Rsel(n+1) と重なります: Rsel0 は Rsel1 と重なります、... Rsel16 は Rsel17 と重なります。
- DCO コントロール・ビット DC00、DC01、及び DC02 は、パラメータ S_{DC0} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DC0CLK サイクルの期間で $f_{(DC0+1)}$ が使用される頻度を選択します。周波数 $f_{(DC0+1)}$ は、残りのサイクルのために使用されます。この平均周波数は、 $f_{(DC0)} \times (2^{MOD/32})$ です。

R_{OSC} 使用時の DCO (注 1)

項目	測定条件	V_{CC}	最小	標準	最大	単位
f_{DC0} 、DCO 出力周波数	$R_{sel} = 4$ 、DCO = 3、MOD = 0、DCOR = 1、 $T_A = 25^\circ\text{C}$	2.2 V		1.8±15%		MHz
		3 V		1.95±15%		
D_t 、温度ドリフト	$R_{sel} = 4$ 、DCO = 3、MOD = 0、DCOR = 1	2.2 V/3 V		±0.1		%/°C
D_r 、 V_{CC} 変動によるドリフト	$R_{sel} = 4$ 、DCO = 3、MOD = 0、DCOR = 1	2.2 V/3 V		10		%/V

(注 1) $R_{OSC} = 100 \text{ k}\Omega$ 、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、 $T_k = \pm 50 \text{ ppm}/^\circ\text{C}$

クリスタル・オシレータ、LFXT1 (注 1)

項目	測定条件	最小	標準	最大	単位
C_{XIN} 入力容量	XTS = 0; LF オシレータ選択時、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		12		pF
	XTS = 1; XT1 オシレータ選択時、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		2		
C_{XOUT} 出力容量	XTS = 0; LF オシレータ選択時、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		12		pF
	XTS = 1; XT1 オシレータ選択時、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		2		
V_{IL}	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$ (注 2)	V_{SS}		$0.2 \times V_{CC}$	V
V_{IH}		$0.8 \times V_{CC}$		V_{CC}	V

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。

クリスタル・オシレータ、XT2 (注 1)

項目	測定条件	最小	標準	最大	単位
C_{XT2IN} 入力容量	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		2		pF
C_{XT2OUT} 出力容量	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		2		pF
V_{IL}	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$ (注 2)	V_{SS}		$0.2 \times V_{CC}$	V
V_{IH}		$0.8 \times V_{CC}$		V_{CC}	V

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。

USART0、USART1 (注 1)

項目	測定条件	最小	標準	最大	単位
$t_{(\tau)}$ USART0/1: デグリッチ時間	$V_{CC} = 2.2 \text{ V}$	200	430	800	ns
	$V_{CC} = 3 \text{ V}$	150	280	500	

(注 1) USART0/1 受信信号/端子 (URXD0/1) に印加される信号は、URXS フリップ・フロップがセットされることを保証するために、タイミング $t_{(\tau)}$ の要求を満たしていなければなりません。URXS フリップ・フロップは、 $t_{(\tau)}$ の最小タイミング条件に合致した反転パルスによってセットされます。フラグをセットするための動作条件は、このタイミング制限とは別に満たさなければなりません。デグリッチ回路は、URXD0/1 ライン上の立ち下がりでのみアクティブになります。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 電源及び入力範囲条件 (注 1)

項目	測定条件	最小	標準	最大	単位
V_{AVCC} アナログ電源電圧	V_{AVCC} と DV_{CC} を接続、 V_{AVSS} と DV_{SS} を接続、 $V_{(AVSS)} = V_{(DVSS)} = 0$ V	2.2		3.6	V
$V_{(P6.x/Ax)}$ アナログ入力電圧範囲 (注 2)	全 P6.0/A0 ~ P6.7/A7 端子、ADC12MCTLx レジスタのアナログ入力選択時、 $P6Sel.x = 1$ 、 $0 \leq x \leq 7$; $V_{(AVSS)} \leq V_{P6.x/Ax} \leq V_{(AVCC)}$	0		V_{AVCC}	V
I_{ADC12} 動作電源電流 (V_{AVCC}) (注 3)	$f_{ADC12CLK} = 5$ MHz、 ADC12ON = 1、REFON = 0、 SHTO = 0、SHT1 = 0、ADC12DIV = 0	2.2 V	0.65	1.3	mA
		3 V	0.8	1.6	
I_{REF+} 基準電圧動作電流 (V_{AVCC}) (注 4)	$f_{ADC12CLK} = 5.0$ MHz、 ADC12ON = 0、 REFON = 1、REF2_5V = 1	3 V	0.5	0.8	mA
	$f_{ADC12CLK} = 5$ MHz、 ADC12ON = 0、 REFON = 1、REF2_5V = 0	2.2 V	0.5	0.8	
$C_I \uparrow$ 入力容量	1 度に 1 端子のみ選択可能、P6.x/Ax	2.2 V		40	pF
$R_I \uparrow$ 入力 MUX オン抵抗	$0 \text{ V} \leq V_{Ax} \leq V_{AVCC}$	3 V		2000	Ω

† このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) リーク電流は、P6.x/Ax パラメータのリーク電流の表で規定されています。

(注 2) アナログ入力電圧範囲は、有効な変換結果を得るために、選択された基準電圧範囲 V_{R+} ~ V_{R-} の範囲内でなければなりません。

(注 3) 内部基準電圧電流は、消費電流パラメータ I_{ADC12} に含まれていません。

(注 4) 内部基準電圧電流は、 V_{AVCC} 端子を経由して供給されます。変換がアクティブでない場合、消費電流は ADC12ON コントローラビットとは無関係です。REFON ビットにより、A/D 変換を始める前に、内部基準電圧の設定を行うことができます。

12 ビット ADC 外部基準電圧 (注 1)

項目	測定条件	最小	標準	最大	単位
V_{eREF+} 正外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 2)	1.4		V_{AVCC}	V
V_{REF-}/V_{eREF-} 負外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 3)	0		1.2	V
$(V_{eREF+} - V_{REF-}/V_{eREF-})$ 差動外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 4)	1.4		V_{AVCC}	V
I_{VeREF+} 静止入力電流	$0 \text{ V} \leq V_{eREF+} \leq V_{AVCC}$	2.2 V/3 V		± 1	μA
I_{VREF-}/V_{eREF-} 静止入力電流	$0 \text{ V} \leq V_{eREF-} \leq V_{AVCC}$	2.2 V/3 V		± 1	μA

(注 1) 外部基準電圧は変換動作の間、キャパシタンス アレイの充/放電を行うために使用されます。入力容量 C_I も変換動作中の外部基準電圧の動作的負荷になります。基準電圧の動的インピーダンスは、12 ビットの精度を出すために推奨のアナログ・ソース・インピーダンスに適合しなければなりません。

(注 2) 最小値は精度で決まります。要求精度が低い場合は、これより低い基準電圧を印加しても差し支えありません。

(注 3) 最大値は精度で決まります。要求精度が低い場合は、これより高い基準電圧を印加しても差し支えありません。

(注 4) 最小値は精度で決まります。要求精度が低い場合は、これより低い差動基準電圧を印加しても差し支えありません。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 内部基準電圧

項目	測定条件		最小	標準	最大	単位	
V_{REF+}	正内部基準電圧出力	2.5 V 内部基準電圧の場合 REF2_5V = 1、 $I_{VREF+} \leq I_{VREF+MAX}$	$V_{CC} = 3 V$	2.4	2.5	2.6	V
		1.5 V 内部基準電圧の場合 REF2_5V = 0、 $I_{VREF+} \leq I_{VREF+MAX}$	$V_{CC} = 2.2 V/3 V$	1.44	1.5	1.56	
$AV_{CC(min)}$	正内部基準電圧がアクティブとなる最小アナログ電源電圧	REF2_5V = 0、 $I_{VREF+} \leq 1 mA$		2.2			V
		REF2_5V = 1、 $I_{VREF+} \leq 0.5 mA$		$V_{REF+} + 0.15$			
		REF2_5V = 1、 $I_{VREF+} \leq 1 mA$		$V_{REF+} + 0.15$			
I_{VREF+}	V_{REF+} 端子負荷電流		$V_{CC} = 2.2 V$ $V_{CC} = 3 V$	0.01		-0.5 -1	mA
$I_{L(VREF)+}$	V_{REF+} 端子負荷電流レギュレーション	$I_{VREF+} = 500 \mu A \pm 100 \mu A$ 、 アナログ入力電圧 $\sim 0.75 V$; REF2_5V = 0	$V_{CC} = 2.2 V$ $V_{CC} = 3 V$			± 2 ± 2	LSB
		$I_{VREF+} = 500 \mu A \pm 100 \mu A$ アナログ入力電圧 $\sim 1.25 V$; REF2_5V = 1	$V_{CC} = 3 V$			± 2	
$t_{DL(VREF)+}$	V_{REF+} 端子負荷電流レギュレーション	$I_{VREF+} = 100 \mu A \rightarrow 900 \mu A$ 、 $C_{VREF+} = 5 \mu F$ 、 $a_x \sim 0.5 \times V_{REF+}$ 、 変換結果誤差 $\leq 1 LSB$	$V_{CC} = 3 V$			20	ns
C_{VREF+}	V_{REF+} 端子容量 (注 1)	REFON = 1、 $0 mA \leq I_{VREF+} \leq I_{VREF+MAX}$	$V_{CC} = 2.2 V/3 V$	5	10		μF
T_{REF+}	内部基準電圧の温度係数	I_{VREF+} は $0 mA \leq I_{VREF+} \leq 1 mA$ の範囲内で一定	$V_{CC} = 2.2 V/3 V$			± 100	ppm/ $^{\circ}C$
t_{REFON}	V_{REF+} 内部基準電圧セトリング時間 (注 2) (図 13 参照)	$I_{VREF+} = 0.5 mA$ 、 $C_{VREF+} = 10 \mu F$ 、 $V_{REF+} = 1.5 V$ 、 $V_{AVCC} = 2.2 V$				17	ms

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) 内部バッファ・オペアンプには、精度規格のために外部コンデンサが必要です。すべての INL 及び DNL のテストには V_{REF+} と AV_{SS} 間、及び V_{REF-}/V_{eREF-} と AV_{SS} 間に $10 \mu F$ タンタル及び $100 nF$ セラミックの 2 つのコンデンサを使用します。

(注 2) この条件は、 t_{REFON} 後に開始した変換の誤差が $\pm 0.5 LSB$ 以内となる事です。セトリング時間は外部負荷容量に依存します。

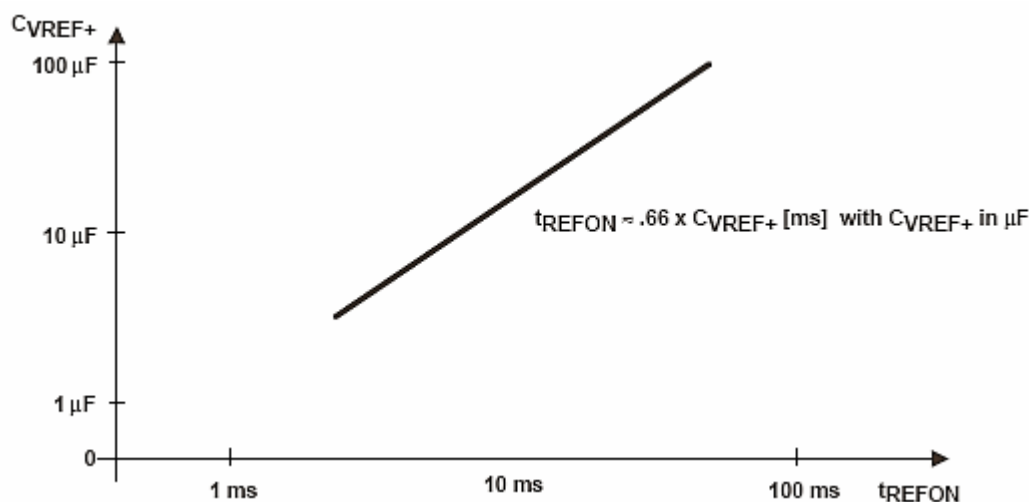


図 13. V_{REF+} 外部コンデンサ対内部基準電圧のセトリング時間 (標準)、 t_{REFON}

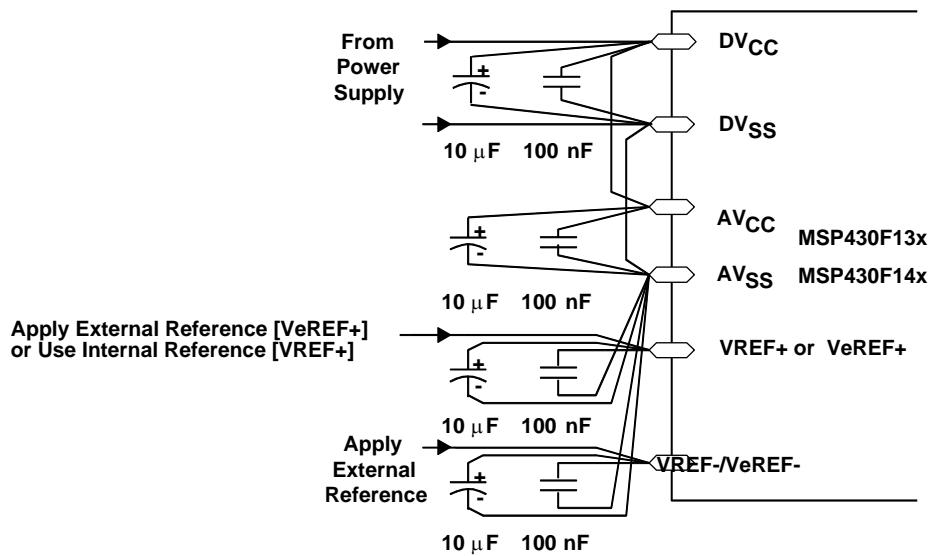


図 14. 電源電圧及び基準電圧の設計 ($V_{\text{REF-}}/V_{\text{eREF-}}$ 外部基準電圧)

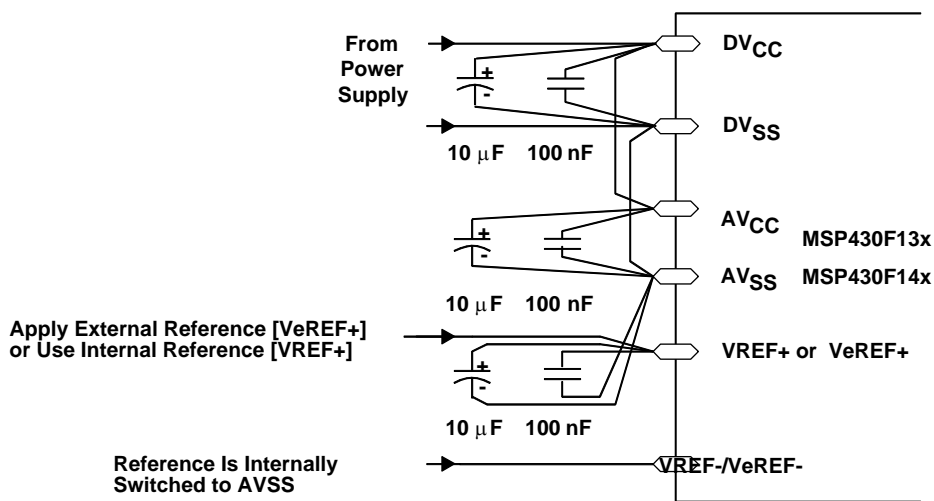


図 15. 電源電圧及び基準電圧の設計 ($V_{\text{REF-}}/V_{\text{eREF-}} = \text{AVSS}$ 内部で接続)

推奨動作温度範囲における電气的特性 (特記無き場合) (続き)

12 ビット ADC タイミング

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{ADC12CLK}	ADC12 の直線性パラメータの規定に適合するため	2.2 V/ 3V	0.45	5	6.3	MHz
f _{ADC12OSC}	内部 ADC12 オシレータ ADC12DIV = 0、 f _{ADC12CLK} = f _{ADC12OSC}	2.2 V/ 3V	3.7		6.3	MHz
t _{CONVERT}	変換時間 C _{VREF+} ≥ 5 μF、内部オシレータ、 f _{ADC12OSC} = 3.7 MHz ~ 6.3 MHz ACLK、MCLK 又は SMCLK からの外部 f _{ADC12CLK} : ADC12SSEL ≠ 0	2.2 V/ 3 V	2.06		3.51	μs
			13 x ADC12DIV x 1/f _{ADC12CLK}			
t _{ADC12ON} †	ADC ターン・オン セトリング時間 (注 1)				100	ns
t _{Sample} †	サンプリング時間 R _S = 400 Ω、R _I = 1000 Ω、 C _I = 30 pF、 τ = [R _S + R _I] x C _I (注 2)	3 V	1220			ns
		2.2 V	1400			

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) この条件は、t_{ADC12ON} 後に開始した変換誤差が ±0.5 LSB 以内となる事です。基準電圧及び入力信号は、既に安定状態です。

(注 2) 誤差を ±0.5 LSB 以内とするためには、約 10 タウ (τ) が必要です。

t_{Sample} = ln(2ⁿ⁺¹) x (R_S + R_I) x C_I + 800 ns 但し、n = ADC 分解能 = 12、R_S = 外部信号源抵抗

12 ビット ADC 直線性

項目	測定条件	V _{CC}	最小	標準	最大	単位
E _I	積分直線性誤差 1.4 V ≤ (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ 1.6 V 1.6 V < (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ [V _(AVCC)]	2.2 V/3 V			±2 ±1.7	LSB
E _D	微分直線性誤差 (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V			±1	
E _O	オフセット誤差 (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 信号源の内部インピーダンス R _S < 100 Ω、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±2	±4	LSB
E _G	ゲイン誤差 (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±1.1	±2	LSB
E _T	全無調整誤差 (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±2	±5	LSB

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 温度センサ及び内部 V_{MID}

項目	測定条件	V_{CC}	最小	標準	最大	単位
I_{SENSOR} 動作電源電流 (AV_{CC}) (注 1)	REFON = 0、INCH = 0Ah、 ADC12ON = NA、 $T_A = 25^\circ C$	2.2 V		40	120	μA
		3 V		60	160	
$V_{SENSOR \uparrow}$ センサ電圧	ADC12ON = 1、INCH = 0Ah、 $T_A = 0^\circ C$	2.2 V		986	986±5%	mV
		3 V		986	986±5%	
$TC_{SENSOR \uparrow}$ センサ電圧温度係数	ADC12ON = 1、INCH = 0Ah	2.2 V		3.55	3.55±3%	mV/°C
		3 V		3.55	3.55±3%	
$t_{SENSOR(sample) \uparrow}$ チャンネル 10 が選択された場合に必要 なサンプル時間 (注 2)	ADC12ON = 1、INCH = 0Ah、 変換結果誤差 ≤ 1 LSB	2.2 V	30			μs
		3 V	30			
I_{VMID} チャンネル 11 のディバイダに流れ込 む電流 (注 3)	ADC12ON = 1、INCH = 0Bh	2.2 V			NA	μA
		3 V			NA	
V_{MID} チャンネル 11 のディバイダ AV_{CC} 電圧	ADC12ON = 1、INCH = 0Bh、 $V_{MID} \sim 0.5 \times V_{AVCC}$	2.2 V		1.1	1.1±0.04	V
		3 V		1.5	1.5±0.04	
$t_{VMID(sample)}$ チャンネル 11 が選択された場合に必 要なサンプル時間 (注 4)	ADC12ON = 1、INCH = 0Bh、 変換結果誤差 ≤ 1 LSB	2.2 V	1400			ns
		3 V	1220			

†このパラメータは特性評価によって決められたもので、量産テストは実施していません。

(注 1) センサ電流 I_{SENSOR} は、ADC12ON = 1 で REFON = 1 の場合、又は ADC12ON = 1 で INCH = 0Ah、及びサンプル信号がハイ・レベルの場合に消費されます。従って、 I_{SENSOR} はセンサ及び基準電圧に流れる定電流を含みます。

(注 2) センサの標準的な等価インピーダンスは 51 k Ω です。必要とされるサンプル時間は、センサ・オン時間 $t_{SENSOR(on)}$ を含みます。

(注 3) 追加の電流は必要ありません。 V_{MID} はサンプリングの間に使用されます。

(注 4) オン時間 $t_{VMID(on)}$ は、サンプリング時間の $t_{VMID(sample)}$ に含まれます。追加のオン時間は必要ありません。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(PGM/ERASE)} プログラム及び消去時電源電圧			2.7		3.6	V
f _{FTG} フラッシュ タイミング発生器周波数			257		476	kHz
I _{PGM} プログラム時消費電流 (DV _{CC})		2.7 V / 3.6 V		3	5	mA
I _{ERASE} 消去時消費電流 (DV _{CC})		2.7 V / 3.6 V		3	7	mA
t _{CPT} 累積プログラム時間	(注 1)	2.7 V / 3.6 V			4	ms
t _{CMERase} 累積一括消去時間	(注 2)	2.7 V / 3.6 V	200			ms
プログラム/消去回数			10 ⁴	10 ⁵		cycles
t _{Retention} データ保持期間	T _J = 25°C		100			years
t _{Word} ワード又はバイト プログラム時間				35		t _{FTG}
t _{Block, 0} 先頭バイト又はワードのブロック・プログラム時間				30		
t _{Block, 1-63} 各後続バイト又はワードのブロック・プログラム時間	(注 3)			21		
t _{Block, End} ブロック・プログラム終了シーケンスのウェイト時間				6		
t _{Mass Erase} 一括消去時間				5297		
t _{Seg Erase} セグメント消去時間				4819		

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = 1/f_{FTG})

JTAG インタフェース

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{TCK} TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
		3 V	0		10	
R _{Internal} 内部プルダウン抵抗 (TMS、TCK、TDI/TCLK)	(注 2)	2.2 V / 3 V	25	60	90	kΩ

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TMS、TDI/TCLK、及び TCK プルダウン抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ (注 1)

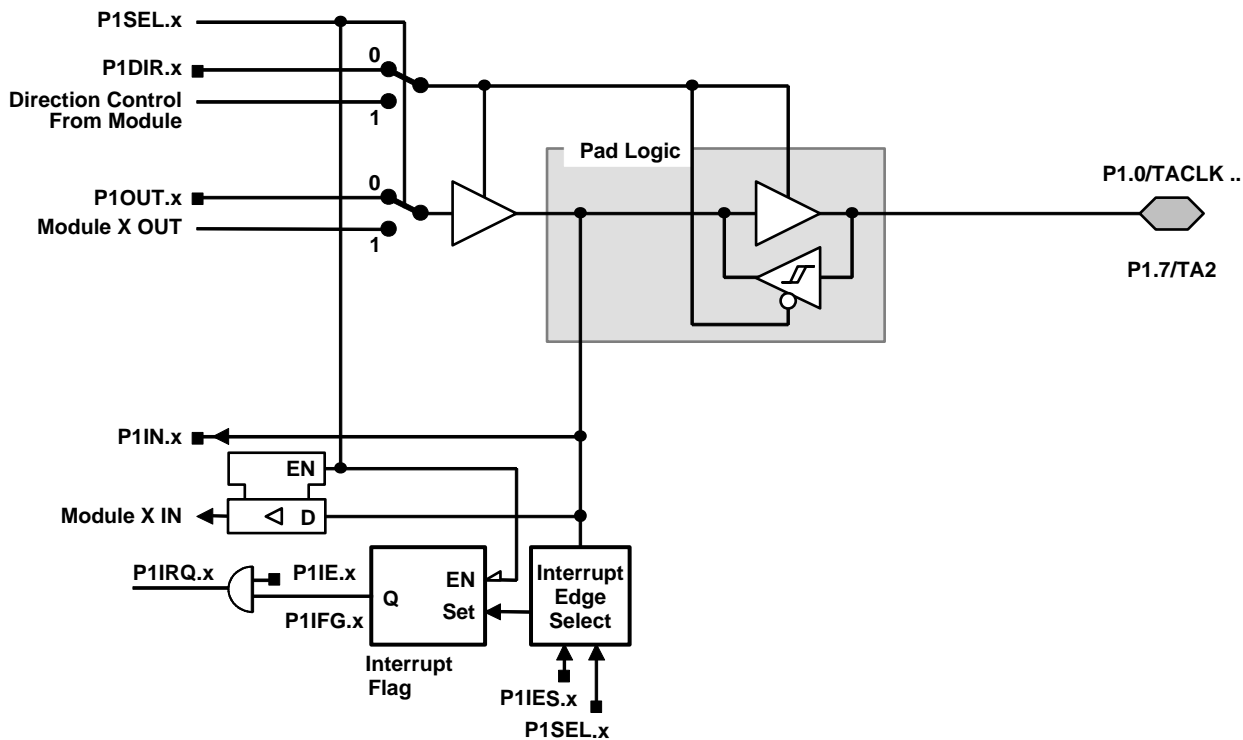
項目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(FB)} ヒューズ切断時の電源電圧	T _A = 25°C		2.5			V
V _{FB} ヒューズ切断電圧 (TDI/TCLK) : F パージョン			6		7	V
I _{FB} ヒューズ切断時の消費電流 (TDI/TCLK)					100	mA
t _{FB} ヒューズ切断時間					1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.7、シュミット・トリガ入力/出力



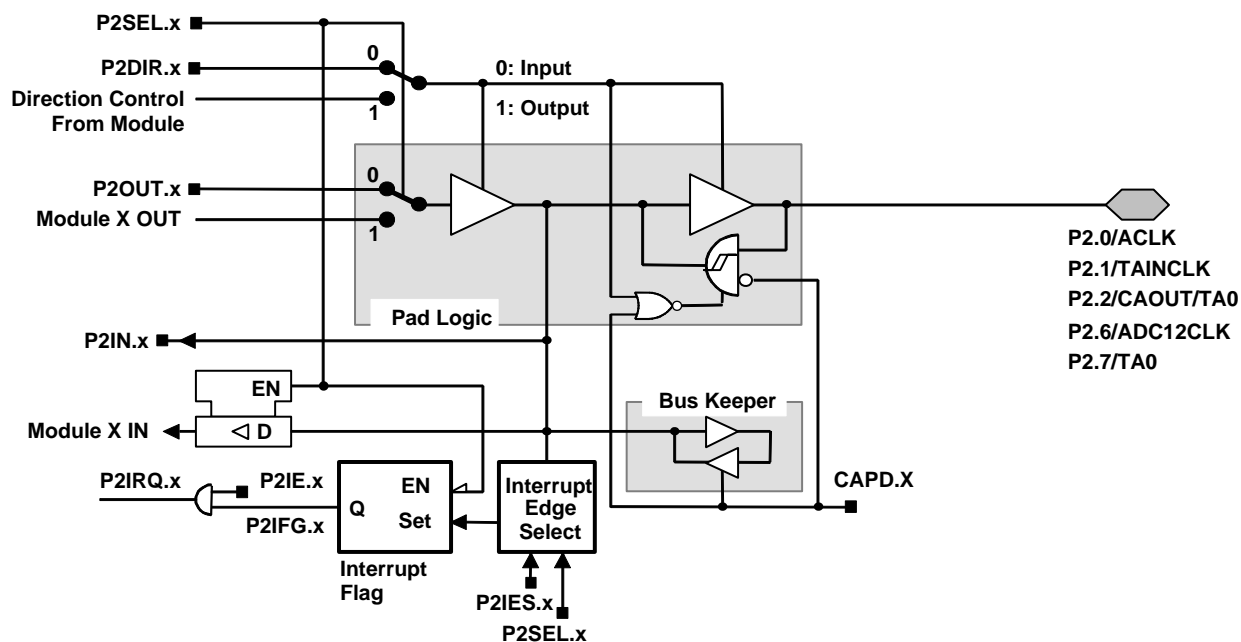
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	DV _{SS}	P1IN.0	TACLK †	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal †	P1IN.1	CCI0A †	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal †	P1IN.2	CCI1A †	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal †	P1IN.3	CCI2A †	P1IE.3	P1IFG.3	P1IES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal †	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal †	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal †	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.0 ~ P2.2、P2.6、P2.7 シュミット・トリガ入力/出力



x: Bit Identifier 0 to 2, 6, and 7 for Port P2

PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P2IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DV _{SS}	P2IN.1	INCLK ‡	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT †	P2IN.2	CCI0B ‡	P2IE.2	P2IFG.2	P2IES.2
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	ADC12CLK ¶	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	Out0 signal §	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

† コンパレータ_A からの信号

‡ タイマ_A への信号

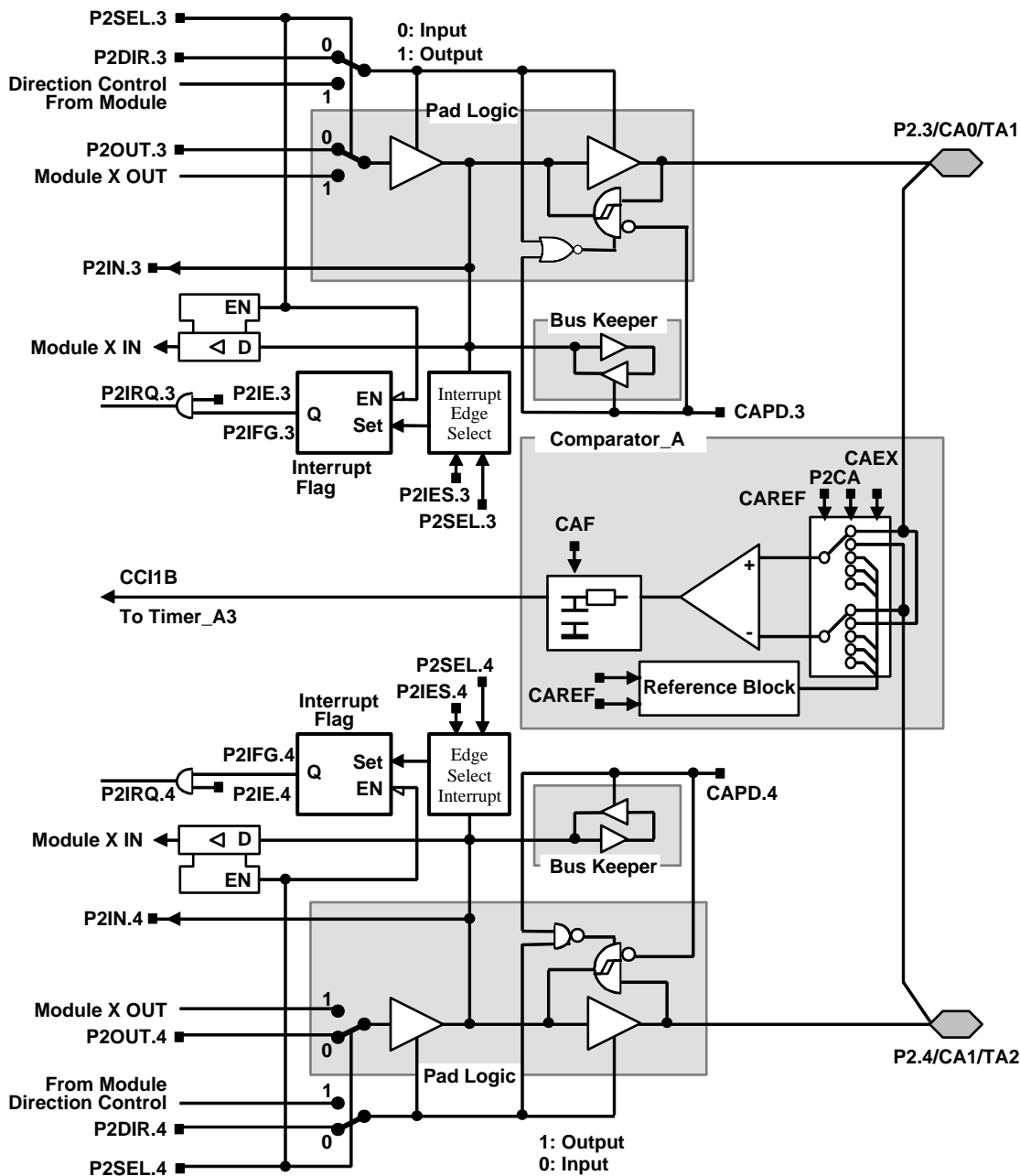
§ タイマ_A からの信号

¶ ADC12CLK 信号は、12 ビット ADC モジュールの出力です。

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力/出力



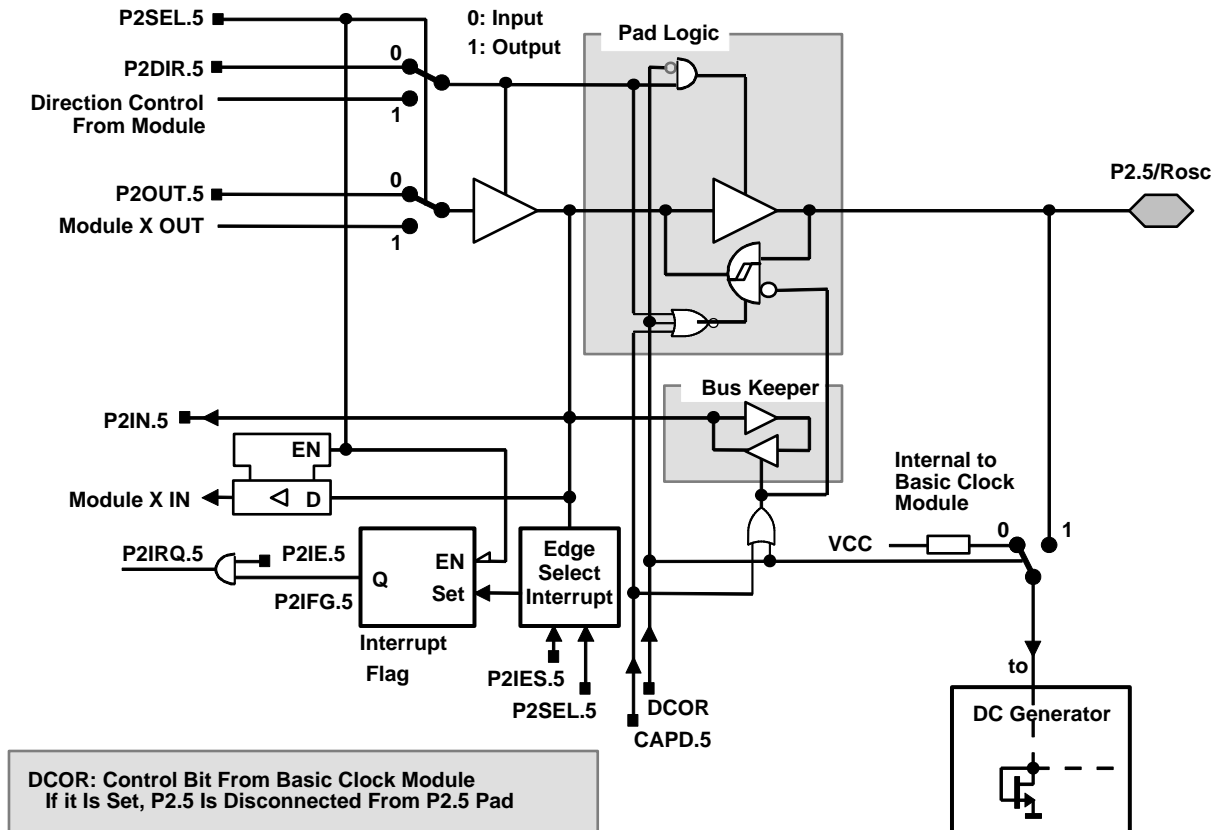
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out1 signal †	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	Out2 signal †	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4

† タイマ_A からの信号

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.5、シュミット・トリガ入力/出力及び Basic Clock モジュールの R_{osc} 機能

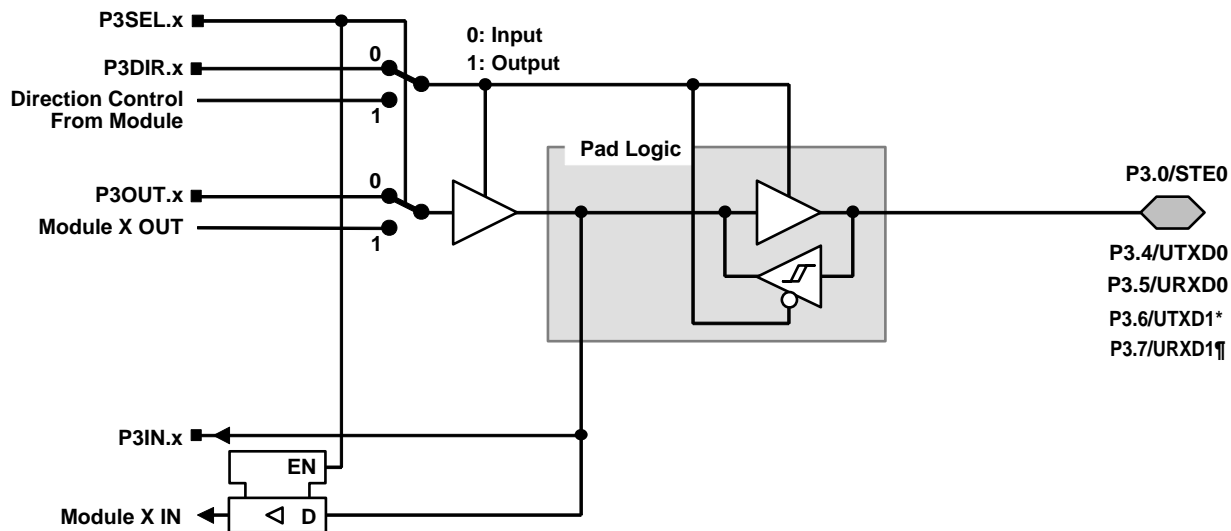


PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	DV _{SS}	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.0、P3.4 ~ P3.7、シュミット・トリガ入力/出力



x: Bit Identifier, 0 and 4 to 7 for Port P3

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P3Sel.0	P3DIR.0	DV _{SS}	P3OUT.0	DV _{SS}	P3IN.0	STE0
P3Sel.4	P3DIR.4	DV _{CC}	P3OUT.4	UTXD0 †	P3IN.4	Unused
P3Sel.5	P3DIR.5	DV _{SS}	P3OUT.5	DV _{SS}	P3IN.5	URXD0 §
P3Sel.6	P3DIR.6	DV _{CC}	P3OUT.6	UTXD1 ‡	P3IN.6	Unused
P3Sel.7	P3DIR.7	DV _{SS}	P3OUT.7	DV _{SS}	P3IN.7	URXD1 ¶

† USART0 モジュールからの出力

‡ x14x(1) では USART1 モジュールからの出力、x13x では DV_{SS} です。

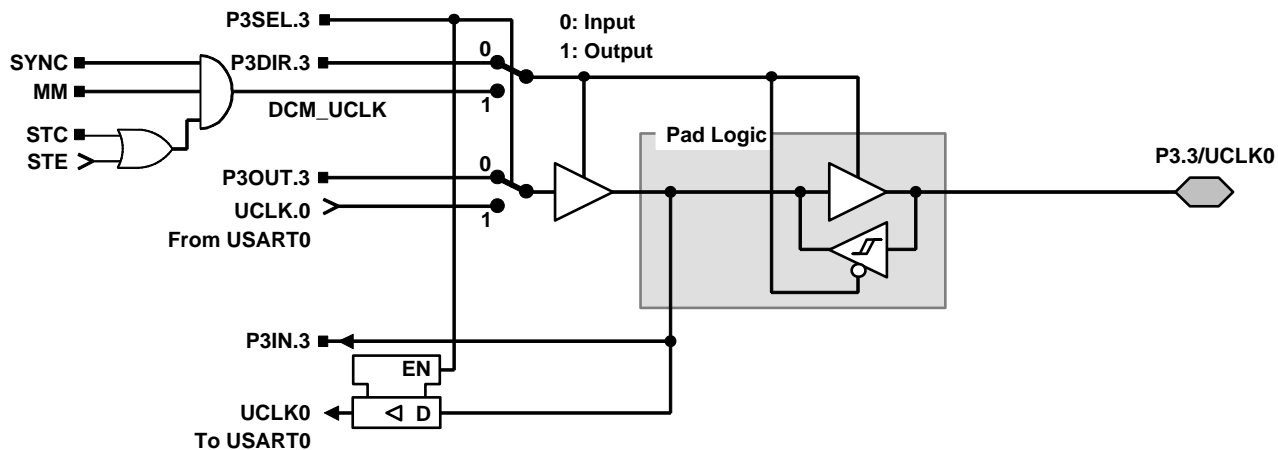
§ USART0 モジュールへの入力

¶ x14x(1) では USART1 モジュールへの入力、x13x では使用されていません。

アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.3 シュミット・トリガ入力/出力

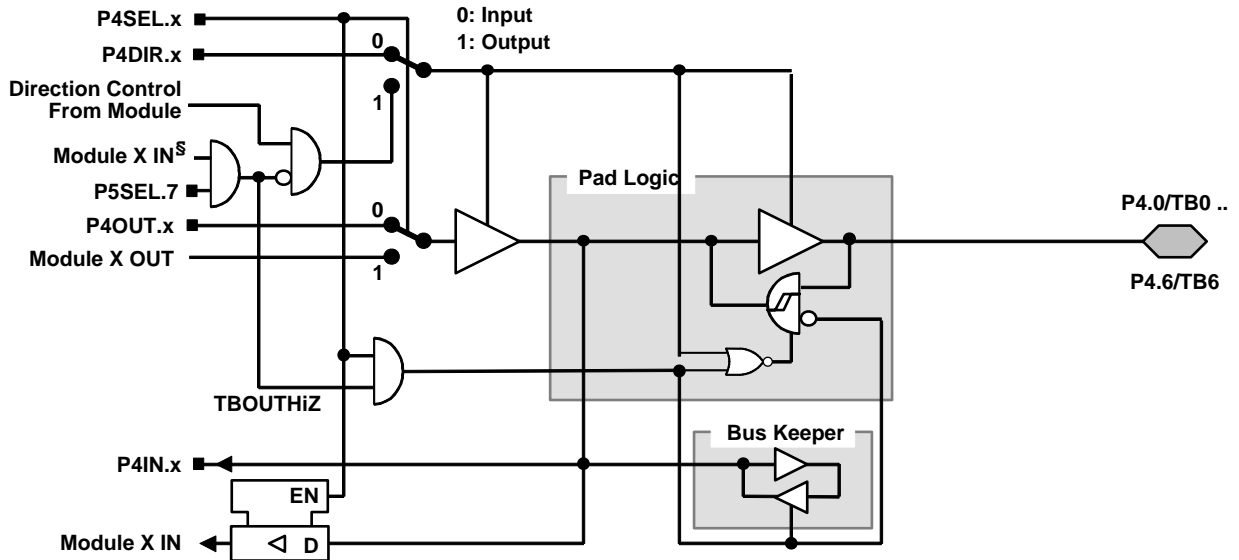


- (注) : UART モード: UART クロックは入力のみになることができます。UART モード 及び UART 機能が選択された場合は、P3.3/UCLK0 は常に入力です。
- SPI、スレーブ・モード: UCLK0 に印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- SPI、マスタ・モード: データをシフト・イン及びシフト・アウトするためのクロックは、接続されたデバイスの P3.3/UCLK0 端子に供給されます。(スレーブ・モード)

アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.0 ~ P4.6、シュミット・トリガ入力/出力



x: bit identifier, 0 to 6 for Port P4

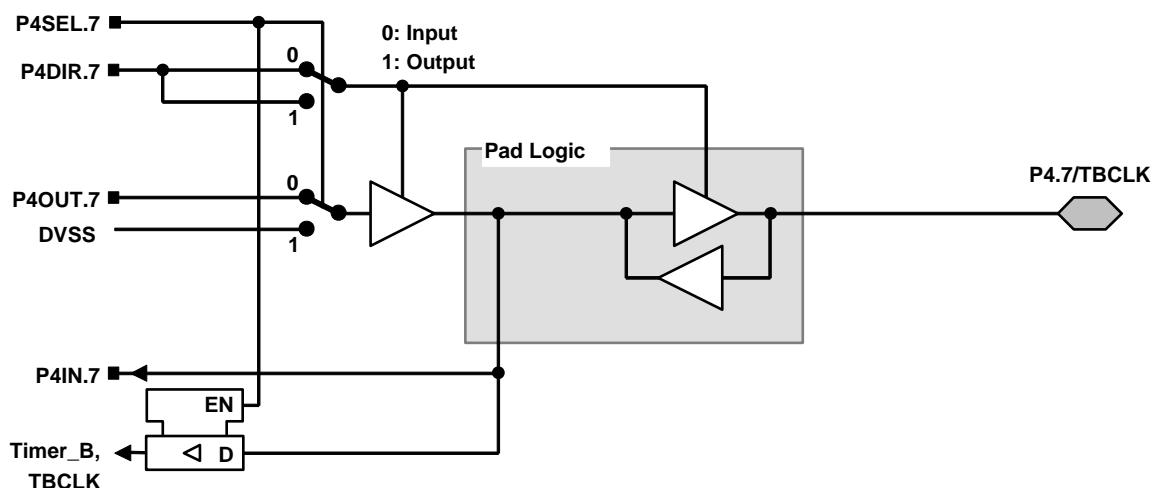
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P4Sel.0	P4DIR.0	P4DIR.0	P4OUT.0	Out0 signal †	P4IN.0	CCI0A / CCI0B ‡
P4Sel.1	P4DIR.1	P4DIR.1	P4OUT.1	Out1 signal †	P4IN.1	CCI1A / CCI1B ‡
P4Sel.2	P4DIR.2	P4DIR.2	P4OUT.2	Out2 signal †	P4IN.2	CCI2A / CCI2B ‡
P4Sel.3	P4DIR.3	P4DIR.3	P4OUT.3	Out3 signal †	P4IN.3	CCI3A / CCI3B ‡
P4Sel.4	P4DIR.4	P4DIR.4	P4OUT.4	Out4 signal †	P4IN.4	CCI4A / CCI4B ‡
P4Sel.5	P4DIR.5	P4DIR.5	P4OUT.5	Out5 signal †	P4IN.5	CCI5A / CCI5B ‡
P4Sel.6	P4DIR.6	P4DIR.6	P4OUT.6	Out6 signal †	P4IN.6	CCI6A ‡

† タイマ_B からの信号
 ‡ タイマ_B への信号
 § P5.7 から

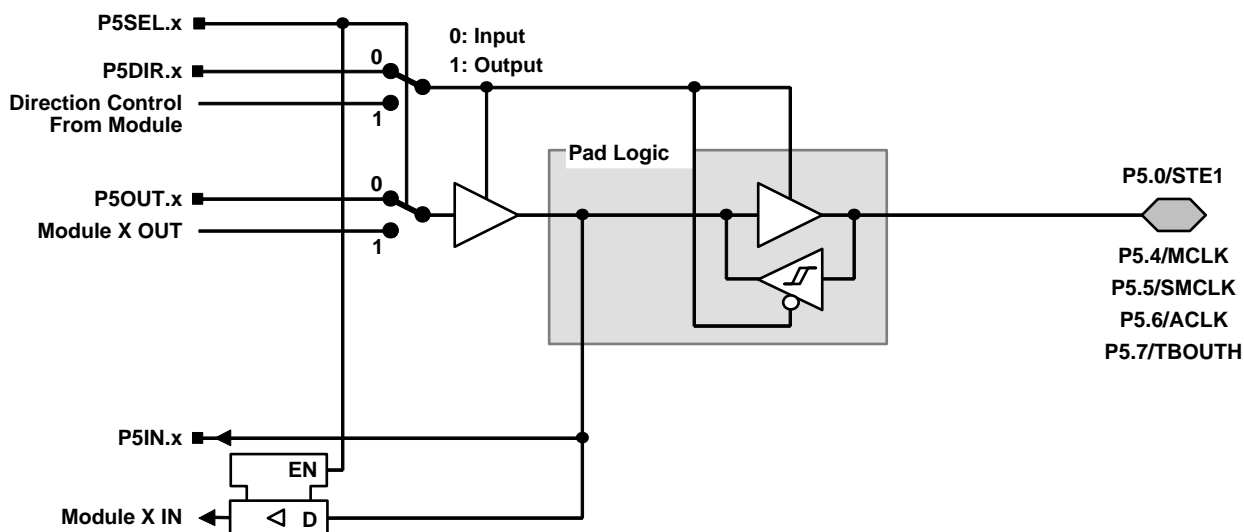
アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.7、シュミット・トリガ入力/出力



ポート P5、P5.0、P5.4 ~ P5.7、シュミット・トリガ入力/出力



x: Bit Identifier, 0 and 4 to 7 for Port P5

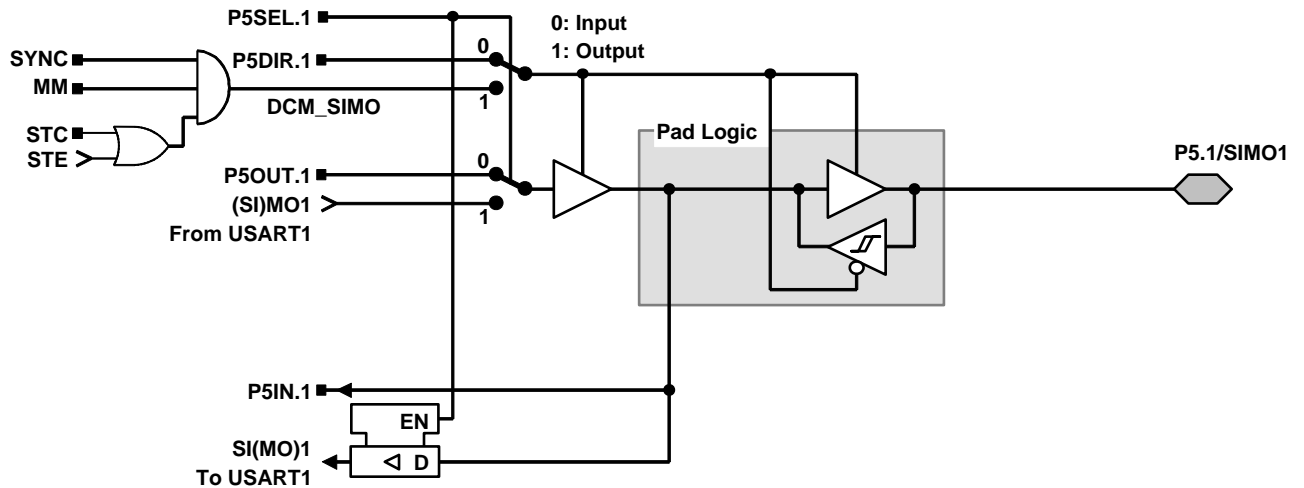
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P5Sel.0	P5DIR.0	DV _{SS}	P5OUT.0	DV _{SS}	P5IN.0	STE.1
P5Sel.4	P5DIR.4	DV _{CC}	P5OUT.4	MCLK	P5IN.4	unused
P5Sel.5	P5DIR.5	DV _{CC}	P5OUT.5	SMCLK	P5IN.5	unused
P5Sel.6	P5DIR.6	DV _{CC}	P5OUT.6	ACLK	P5IN.6	unused
P5Sel.7	P5DIR.7	DV _{SS}	P5OUT.7	DV _{SS}	P5IN.7	TBOUTHiZ

(注) TBOUTHiZ 信号は、ポート・モジュール P4、P4.0 ~ P4.6 端子によって使用されます。TBOUTHiZ の機能は、タイマ_B7 と一緒に使用する場合に特に役に立ちます。

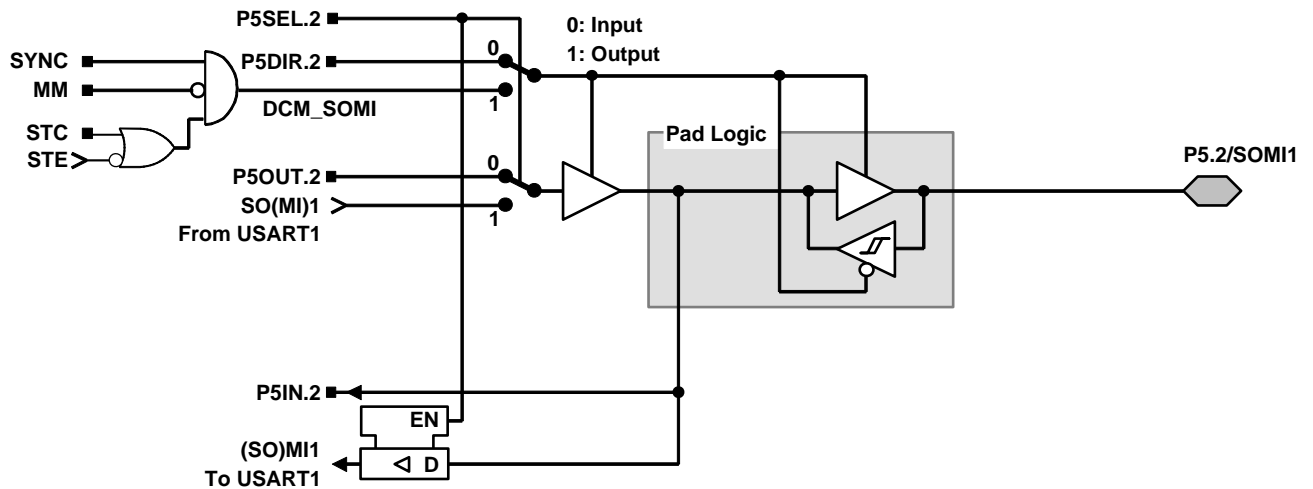
アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.1、シュミット・トリガ入力/出力



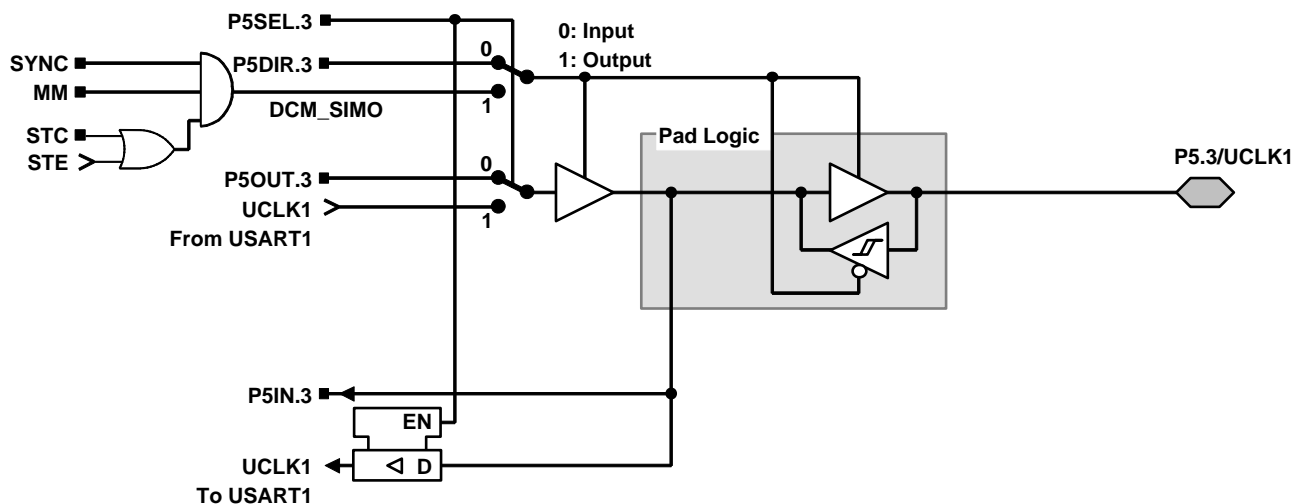
ポート P5、P5.2、シュミット・トリガ入力/出力



アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.3、シュミット・トリガ入力/出力

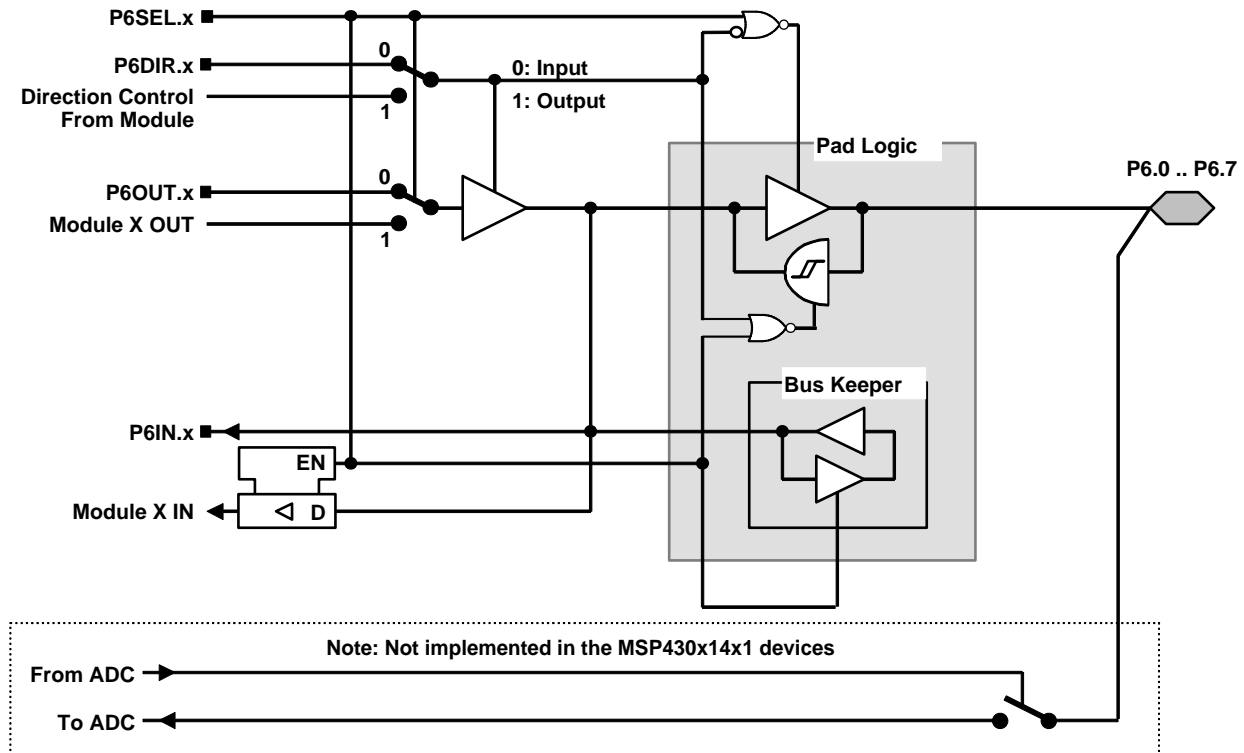


- (注) : UART モード: UART クロックは入力のみになることができます。UART モード 及び UART 機能が選択された場合は、P5.3/UCLK1 は常に入力です。
- SPI、スレーブ・モード: UCLK1 に印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- SPI、マスタ・モード: データをシフト・イン及びシフト・アウトするためのクロックは、接続されたデバイスの P5.3/UCLK1 端子に供給されます。(スレーブ・モード)

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.0 から P6.7、シュミット・トリガ入力/出力



x: Bit Identifier, 0 to 7 for Port P6

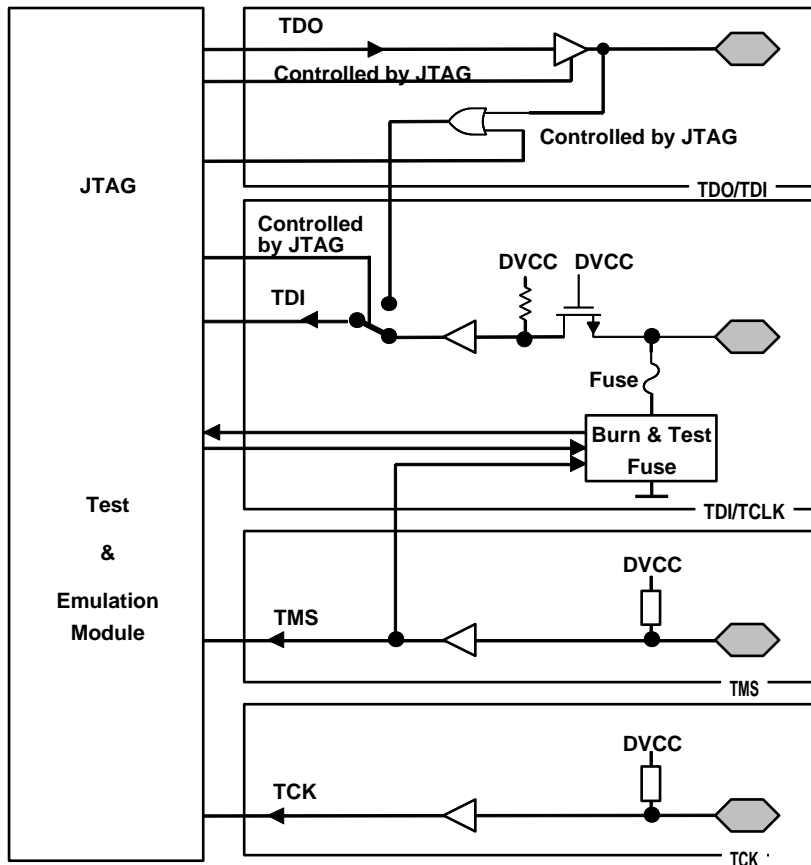
(注) デジタル・ゲートに印加されるアナログ信号は、正端子から負端子に流れる電流を引き起こすことがあります。アナログ信号が 0→1 又は 1→0 に変化する期間、スループット電流が流れます。スループット電流の値は、ゲートの駆動能力に依存します。MSP430 では、約 100 μA です。
 スループット電流を防止するには、P6Sel.x = 1 を使用して下さい。ADC12 によって使用されていない場合でも、P6Sel.x は設定しなければなりません。

PnSel.x	PnDIR.x	DIR. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DV _{SS}	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DV _{SS}	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DV _{SS}	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DV _{SS}	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DV _{SS}	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DV _{SS}	P6IN.5	unused
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DV _{SS}	P6IN.6	unused
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DV _{SS}	P6IN.7	unused

(注) P6.x/Ax 端子の信号は、12 ビット ADC モジュールによって使用されます。

アプリケーション情報

JTAG 端子 TMS、TCK、TDI/TCLK、TDO/TDI、シュミット・トリガ入力/出力



During Programming Activity and During Blowing of the Fuse, Pin TDO/TDI Is Used to Apply the Test Input Data for JTAG Circuitry

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TDI/TCLK 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TDI/TCLK 端子からグランドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 16 参照) の時のみに発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

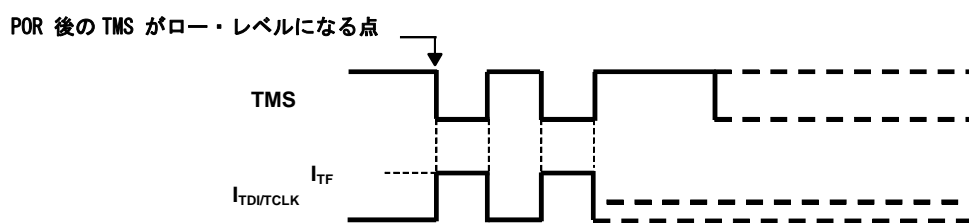


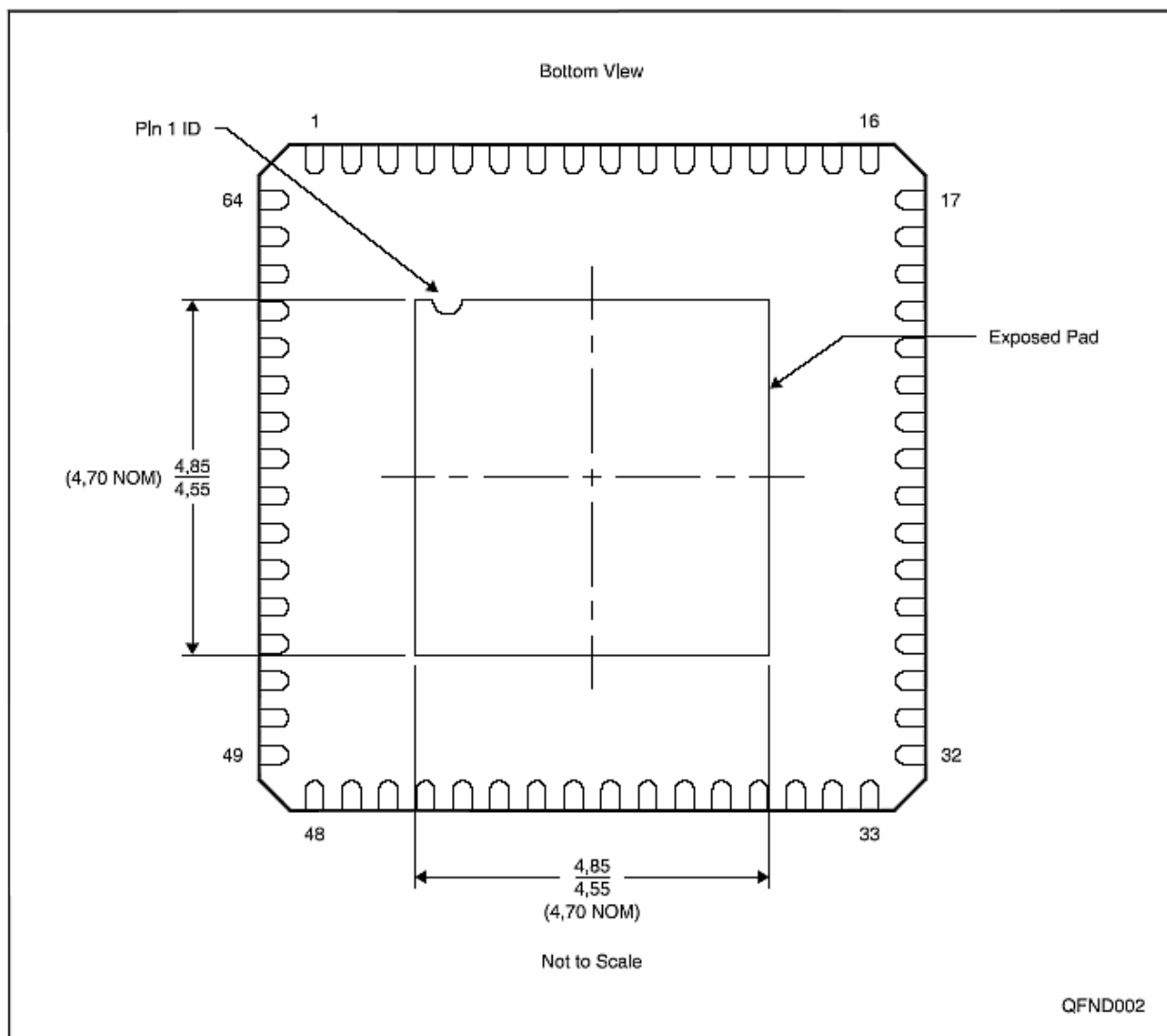
図 16. ヒューズ・チェック・モード電流、MSP430F13x、MSP430F14x(1)

MSP430x13x、MSP430x14x、MSP430x14x1
ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

RTD (S-PQFP-N64)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) Quad Flatpack, No-leads (QFN) パッケージ

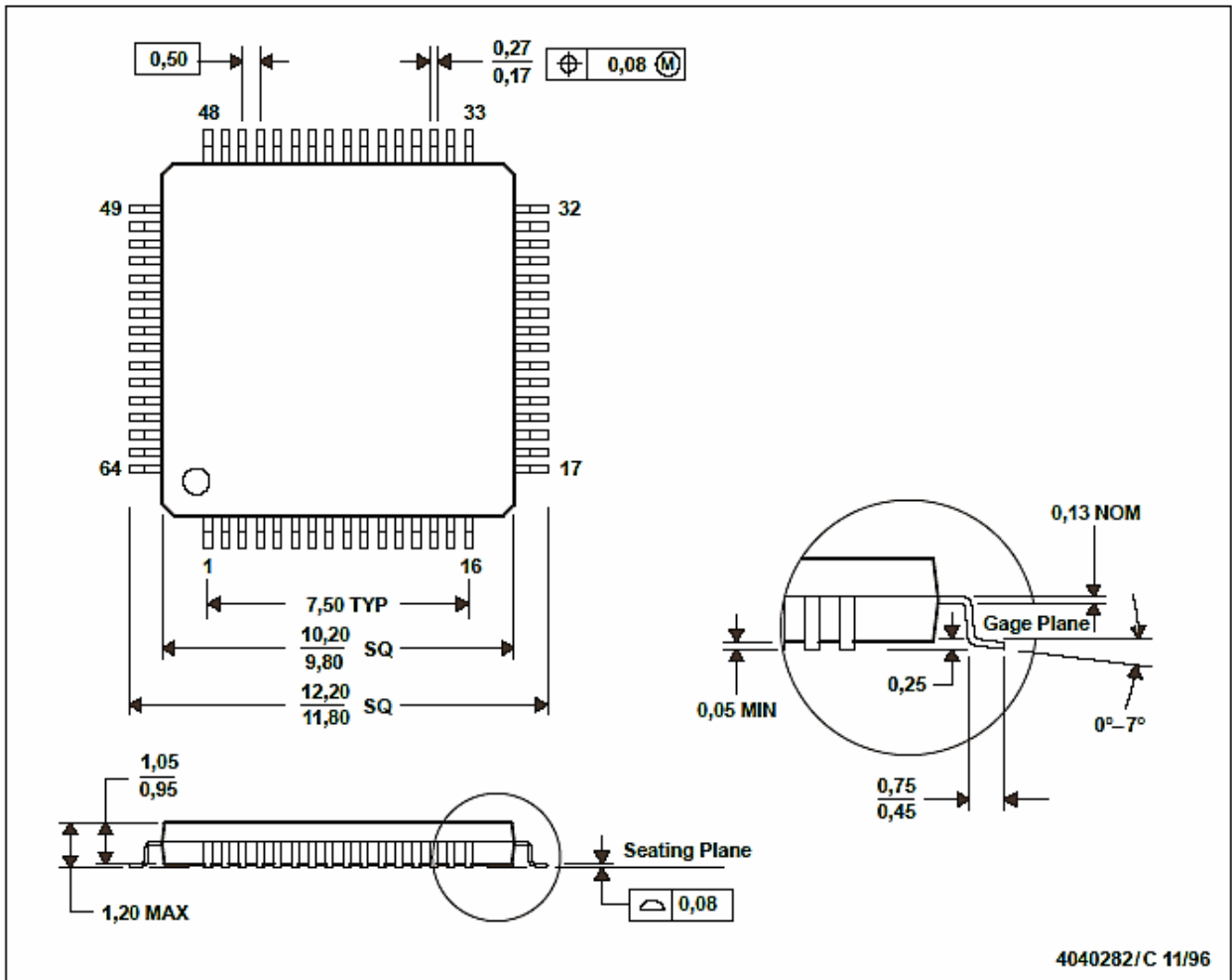
(注 D) 放熱スラグは、プリント基板表面にはんだ付けすることを推奨します。

MSP430x13x、MSP430x14x、MSP430x14x1
 ミックスド・シグナル・マイクロコントローラ

SLAS445A - 2005 年 4 月 - 2005 年 5 月改定

PAG (S-PQFP-G64)

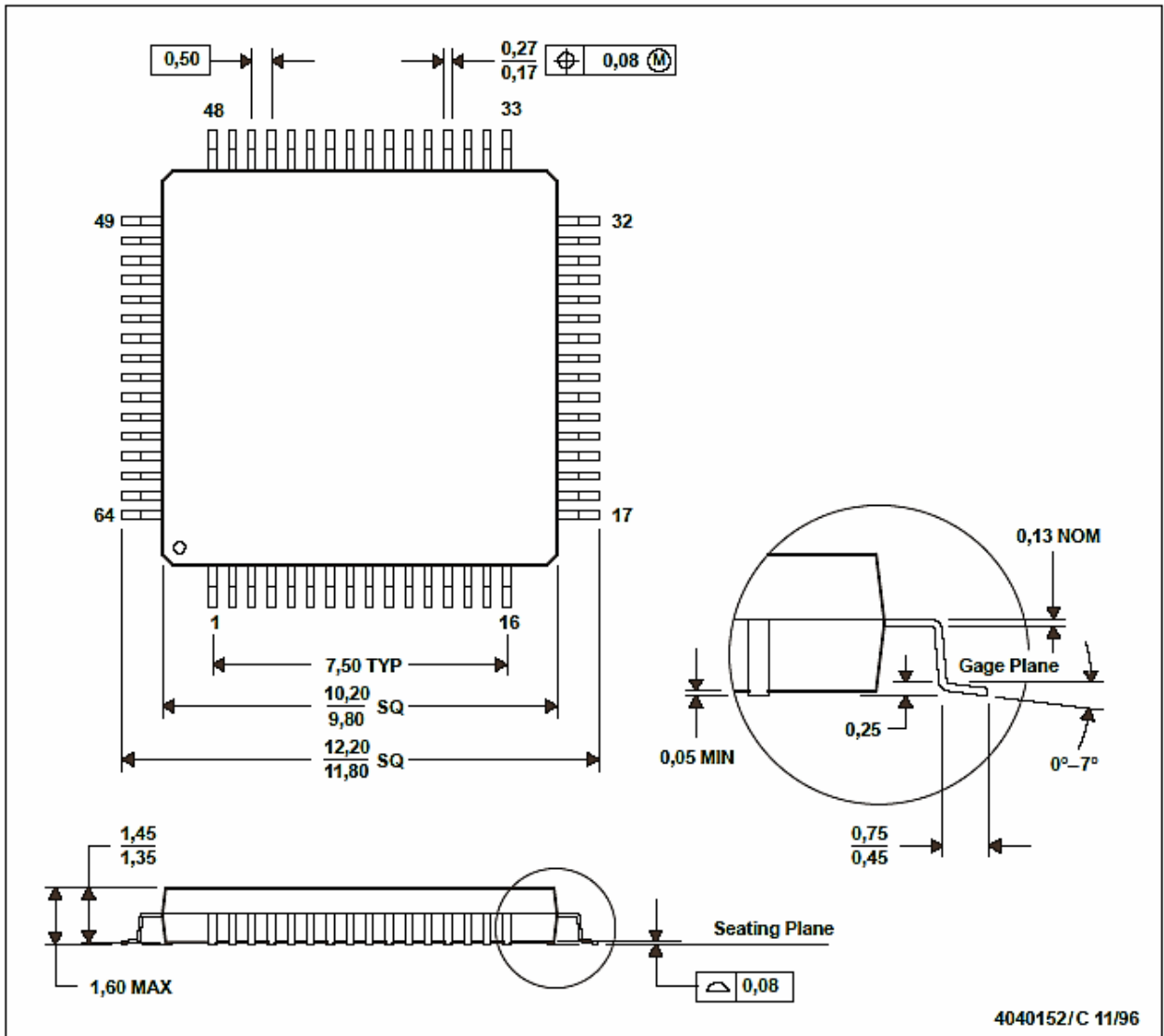
PLASTIC QUAD FLATPACK



- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) JEDEC MS-026 に相当します。

PM (S-PQFP-G64)

PLASTIC QUAD FLATPACK



- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) JEDEC MS-026 に相当します。
- (注 D) リードがダイ・パッドに接続された、放熱特性が強化されたプラスチック・パッケージもあります。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上