

静态 VFD 驱动电路

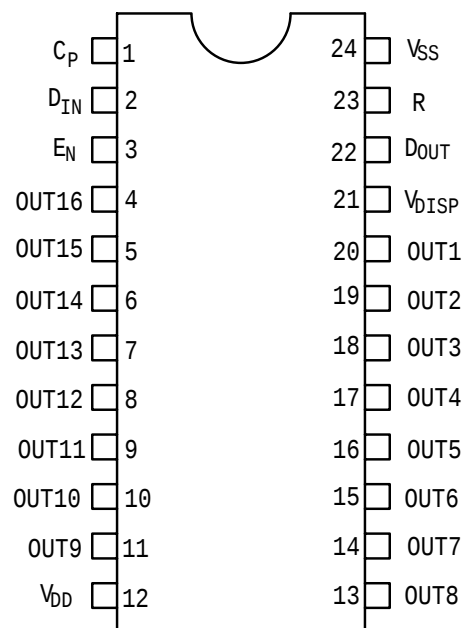
概 述

TX16210 是一种负电源型 VFD 驱动电路，可用作 VFD 显示系统中 CPU 与 VFD 之间的接口电路，采用 16 位并行输出，使用灵活，通用性强。

功能特点

- 三电源供电， $V_{DD}=5V$ ， $V_{SS}=0V$ 。
- $V_{DISP} = -30V$ 。
- 串行输入
- 16 位的并行输出
- 并行输出端采用高压结构，可直接驱动 VFD。
- 串行输出端，以便扩展使用，增强其通用性。
- 采用外接时钟、清零端、输出控制，以便使用中与 CPU 相匹配。

管脚排列图

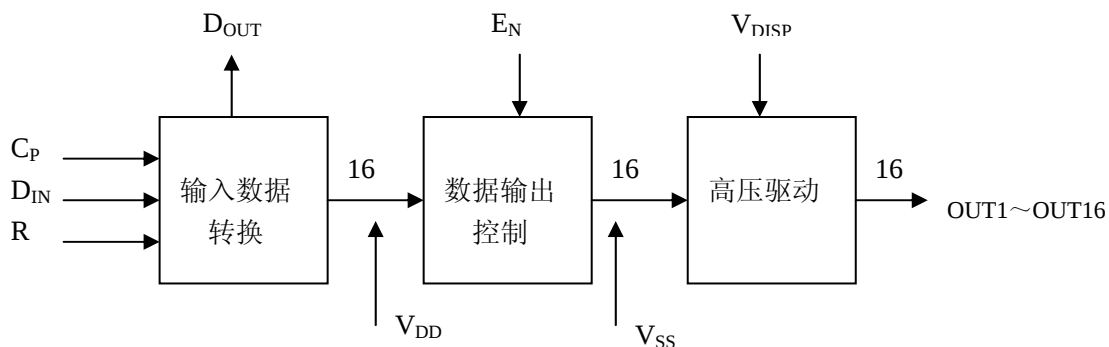


管脚说明

管脚号	符 号	管脚名	I/O	说 明
1	C _P	输入时钟	I	下降沿时输入串行数据，上升沿时输出串行数据。
2	D _{IN}	串行数据输入端	I	时钟下降沿时输入串行数据
3	E _N	数据输出控制端	I	低电平有效，允许并行数据输出。低电平宽度不超过一个时钟周期，其下降沿要在时钟上升沿之后，上升沿要在时钟下降沿之前。使用中通过控制 E _N 有效信号输入时间及扩展使用来实现多种并行输出。
4~11 13~20	OUT16~OUT1	并行数据输出	0	在 E _N 为低电平时，并行数据输出。
12	V _{DD}	逻辑电源		5V
21	V _{DISP}	VFD 驱动高压	I	电压值可达 -30V
22	D _{OUT}	串行数据输出	0	时钟上升沿时输出串行数据
23	R	清零信号	I	低电平有效，须加10K上拉电阻
24	V _{SS}	逻辑地		与系统地相连

功能框图

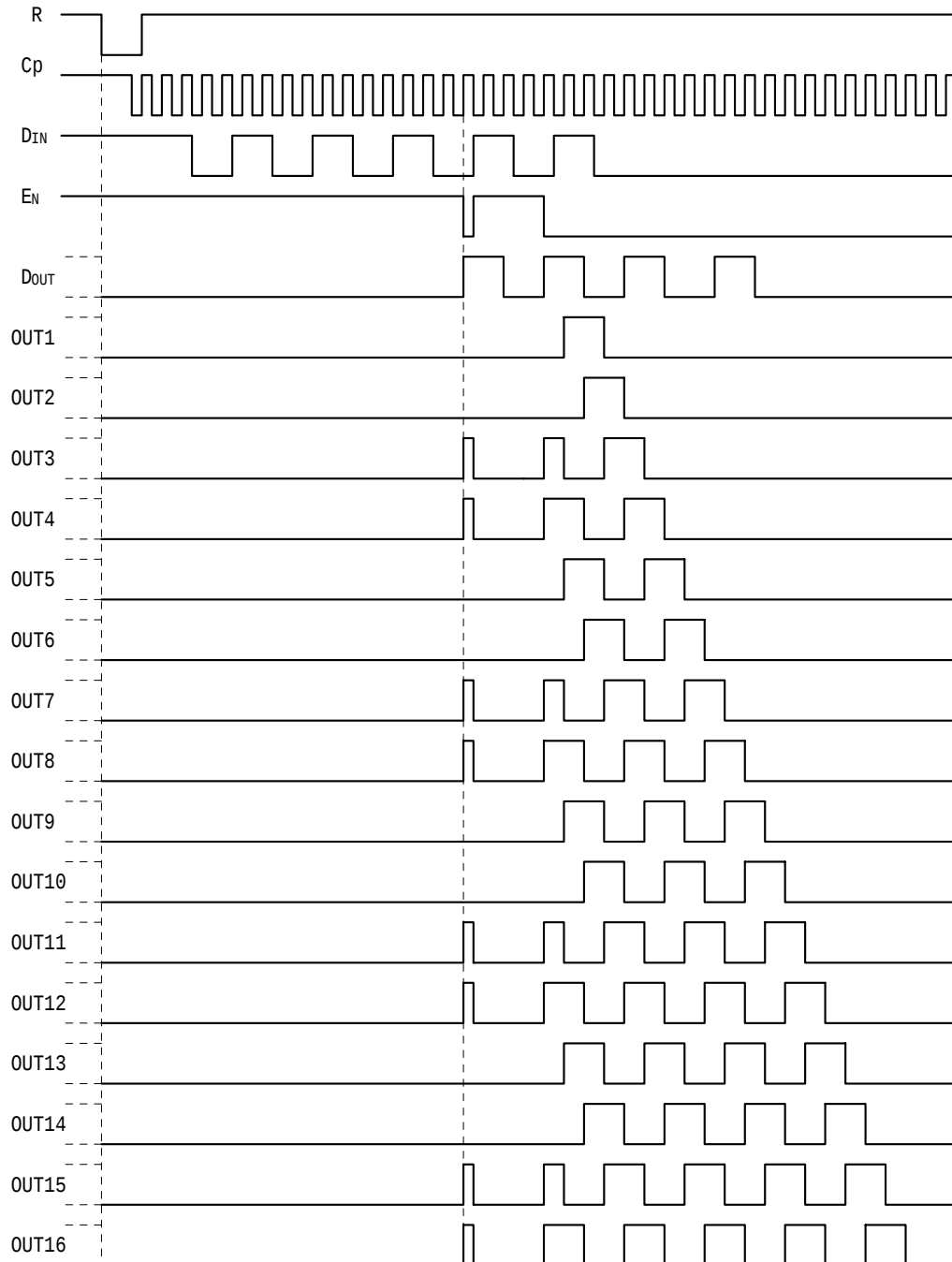
该电路与 16312 属于同系列产品，电路由三部分组成，即输入数据转换部分、数据输出控制部分、高压驱动部分。



功能说明

输入数据转换部分由 16 个带复位端的基本触发器组成，主要完成串行输入/并行输出转换功能，外接的复位端可以保证使用中与 CPU 同步清零。数据输出控制部分为带使能端的控制器。根据不同的 VFD 屏，通过调节 E_N 与 C_P 的关系来控制数据的输出时间，即可以实现任意位的并行输出（即电路可以扩展）。使用中要严格控制 E_N 与 C_P 的关系。

时序图



极限参数

1. 工作条件 ($T_a = -20^{\circ}\text{C} \sim +70^{\circ}\text{C}$, $V_{SS} = 0\text{V}$)

参 数	符 号	最小值	典型值	最大值	单 位
工作电压	V_{DD}	4.5	5	5.5	V
高电平输入电压	V_{IH}	$0.7 V_{DD}$	—	V_{DD}	V
低电平输入电压	V_{IL}	0	—	$0.3 V_{DD}$	V
驱动工作电压	V_E	0	—	$V_{DD}-35$	V

2. 极限工作范围 ($T_a = 25^{\circ}\text{C}$, $V_{SS} = 0\text{V}$)

参 数	符 号	范 围	单 位
电源电压	V_{DD}	$-0.5 \sim 7.0$	V
驱动工作电压	V_E	$V_{DD}+0.5 \sim V_{DD}-40$	V
逻辑输入电压	V_{I1}	$-0.5 \sim V_{DD}+0.5$	V
FIP 驱动输出电压	V_{O2}	$V_{EE}-0.5 \sim V_{DD}+0.5$	V
FIP 驱动输出电流	I_{O2}	-8	mA
消耗功率	P_D	1200	mW
工作温度	T_{OPT}	$-20 \sim +70$	$^{\circ}\text{C}$
存贮温度	T_{ST}	$-65 \sim +150$	$^{\circ}\text{C}$

3. 电特性 ($T_a = -20^{\circ}\text{C} \sim +70^{\circ}\text{C}$, $V_{DD} = 4.5\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$, $V_{EE} = V_{DD}-35\text{V}$)

参 数	符 号	测试条件	最小值	典型值	最大值	单位
高电平输出电压	V_{OH1}		$0.9 V_{DD}$			V
低电平输出电压	V_{OL1}				1	V
低电平输出电压	V_{OL2}				0.4	V
高电平输出电流	I_{OH21}	$V_O = V_{DD} - 2\text{V}$	-3			mA
驱动漏电流	I_{OLEAK}	$V_O = V_{DD} - 35\text{V}$, 驱动器关闭			-10	μA
输出下拉电阻	R_L	驱动器输出	50	100	150	$\text{K}\Omega$
输入电流	I_I	$V_I = V_{DD}$ 或 V_{SS}			± 1	μA
高电平输入电压	V_{IH}		$0.7 V_{DD}$			V
低电平输入电压	V_{IL}				$0.3 V_{DD}$	V
滞电电压	V_H	CLK、DIN、STB		0.35		V
静态电流消耗	I_{DDdyn}	无负载时, 无显示			5	mA

4. 开关特性 (Ta=-20℃~+70℃, V_{DD}=4.5V~5.5V, V_{EE}=-30V)

参 数	符 号	测试条件	最小值	典型值	最大值	单位
保持延迟	T _{PLZ}	CLK→D _{OUT}			300	ns
	T _{PZL}	C _L =15pF, R _L =10 KΩ			100	ns
下降时间	T _{THZ}	C _L =300 pF			120	us
最大时钟频率	F _{MAX}	占空比=50%	1			MHz
输入电容	C _L				15	pF

5. 时序条件 (Ta=-20℃~+70℃, V_{DD}=4.5V~5.5V)

参 数	符 号	测试条件	最小值	典型值	最大值	单位
时钟脉冲宽度	PW _{CLK}		400			ns
选通脉冲宽度	PW _{STB}		1			us
数据设置时间	t _{SETUP}		100			ns
数据保持时间	t _{HOLD}		100			ns
时间一选 通时间	t _{CLK-STB}	CLK ↑ → STB ↑	1			us
等待时间	t _{WAIT}	CLK ↑ → CLK ↑	1			us

应用图

